

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年7月7日 (07.07.2005)

PCT

(10) 国際公開番号
WO 2005/062621 A1

(51) 国際特許分類⁷:

H04N 7/24

UNIVERSITY TECHNOLOGY LICENSING ORGANIZATION LTD.) [JP/JP]; 〒9201192 石川県金沢市角間町又7番地 金沢大学内 Ishikawa (JP).

(21) 国際出願番号:

PCT/JP2004/018312

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 吉本 雅彦 (YOSHIMOTO, Masahiko) [JP/JP]; 〒6511223 兵庫県神戸市北区桂木3-12-5 Hyogo (JP). 川上 健太郎 (KAWAKAMI, Kentaro) [JP/JP]; 〒9202131 石川県石川郡鶴来町森島町い100-22 Ishikawa (JP). 金森美和子 (KANAMORI, Miwako) [JP/JP]; 〒9390274 富山県射水郡大島町小島1204 Toyama (JP). 森田 泰弘 (MORITA, Yasuhiro) [JP/JP]; 〒9330054 富山県高岡市古定塚9-51 Toyama (JP). 大平 英雄 (OHIRA, Hideo) [JP/JP]; 〒2520804 神奈川県藤沢市湘南台

(22) 国際出願日: 2004年12月8日 (08.12.2004)

日本語

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

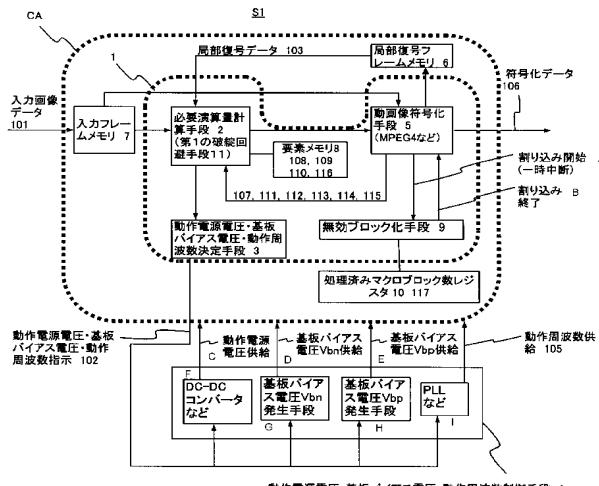
(30) 優先権データ:
特願2003-409641 2003年12月8日 (08.12.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 有限会社金沢大学ティ・エル・オー (KANAZAWA

/続葉有/

(54) Title: MOVING PICTURE ENCODING OR DECODING SYSTEM AND MOVING PICTURE ENCODING OR DECODING METHOD

(54) 発明の名称: 動画像符号化又は復号化処理システム、及び、動画像符号化又は復号化処理方法



- 101.. INPUT IMAGE DATA
- 7... INPUT FRAME MEMORY
- 103.. LOCAL DECODING DATA
- 6... LOCAL DECODING FRAME MEMORY
- 2... NECESSARY OPERATION AMOUNT CALCULATION MEANS
- 11.. FIRST CRASH PREVENTING MEANS
- 8.. ELEMENT MEMORY
- 5.. MOVING PICTURE ENCODING MEANS (MPEG4 ETC.)
- A.. INTERRUPT PART (TEMPORARY INTERRUPT)
- B.. INTERRUPT END
- C.. OPERATION POWER VOLTAGE/SUBSTRATE BIAS VOLTAGE/OPERATION FREQUENCY DECISION MEANS
- G.. INVALID BLOCKIZATION MEANS
- 10.. 117.. NUMBER OF PROCESSED MACRO BLOCKS REGISTER
- 102.. OPERATION POWER VOLTAGE/SUBSTRATE BIAS VOLTAGE/OPERATION FREQUENCY INSTRUCTION
- C.. OPERATION POWER VOLTAGE SUPPLY
- D.. SUBSTRATE BIAS VOLTAGE Vbn SUPPLY
- E.. SUBSTRATE BIAS VOLTAGE Vbp SUPPLY
- 105.. OPERATION FREQUENCY SUPPLY
- F.. DC-DC CONVERTER, ETC.
- G.. SUBSTRATE BIAS VOLTAGE Vbn GENERATION MEANS
- H.. SUBSTRATE BIAS VOLTAGE Vbp GENERATION MEANS
- I.. PLL ETC.
- 4.. OPERATION POWER VOLTAGE/SUBSTRATE BIAS VOLTAGE/OPERATION FREQUENCY CONTROL MEANS

(57) Abstract: [PROBLEMS] To provide a moving picture encoding or decoding system and moving picture encoding or decoding method capable of reducing power consumption as compared to the conventional technique. [MEANS FOR SOLVING PROBLEMS] The moving picture encoding or decoding system includes: necessary operation amount calculation means (2) for calculating an operation amount necessary for encoding or decoding of the current frame; and operation power voltage/substrate bias voltage/operation frequency calculation means (3) for calculating the operation power voltage, substrate bias voltage, and operation frequency capable of encoding or decoding the necessary operation amount within a time assigned to the current frame encoding or decoding. A processor (1) performs encoding or decoding of the current frame while performing a constant operation with the operation frequency, the operation power voltage, and the substrate bias voltage calculated.

(57) 要約: 【課題】 従来技術と比較して低消費電力化を図ることができる動画像符号化又は復号化処理システム及び動画像符号化又は復号化処理方法を提案する。【解決手段】 現フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段2と、現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧及び基板バイアス電圧及び動作周波数を計算する動作電源電圧・基板バイアス電圧・動作周波数計算手段3とを備え、前記プロセッサ1が前記算出された動作周波数及び動作電源電圧及び基板バイアス電圧で一定に動作しながら現フレームの符号化又は復号化処理を行う。

WO 2005/062621 A1



3丁目1番地4号 プランヴェール湘南台602号
Kanagawa (JP).

(74) 代理人: 木森 有平, 外(KIMORI, Yuhei et al.); 〒9200024 石川県金沢市西念4丁目4番25号 西村ビル205号 木森国際特許事務所 Ishikawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

動画像符号化又は復号化処理システム、及び、動画像符号化又は復号化処理方法

技術分野

[0001] 本発明は、半導体基板にMOSトランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数と基板バイアス電圧、又は動作周波数と基板バイアス電圧と動作電源電圧が制御可能である動画像符号化又は復号化処理システム、及び、動画像符号化又は復号化処理方法に関する。

背景技術

[0002] 近年、伝送路を通じて動画像の送受信を行うことや、動画像を蓄積メディアに蓄積することが可能となっている。一般に、動画像は情報量が大きいため、伝送ビットレートの限られた伝送路を用い動画像を伝送する場合、あるいは蓄積容量の限られた蓄積メディアに動画像を蓄積する場合には、動画像を符号化・復号化する技術が必要不可欠である。動画像の符号化・復号化方式として、ISO/IECが標準化を進めている MPEG(Moving Picture Experts Group)やH.26Xがある。これらは動画像を構成する経時的に連続した複数のフレームの符号化又は復号化を行うものであり、動画像の時間的相関、空間的相関を利用した冗長性の削減を行うことにより動画像の情報量を減らして符号化し、符号化された動画像を再度元の動画像に復号化する技術である。

[0003] かかる符号化・復号化技術はパーソナルコンピュータやマイクロコンピュータを内蔵する携帯電話等の情報端末機器等に適用されており、符号化・復号化の手段を記述したプログラムに基づいてコンピュータのプロセッサ等を動作させることにより、動画像を送信等する場合は動画像符号化処理システムとして、動画像を受信等する場合は動画像復号化処理システムとして機能させている。しかしながら、かかる動画像符号化又は復号化処理は比較的に演算量が多いため消費電力が大きくなる傾向にあり、ハードウェアよりも汎用性の高いソフトウェアを使用して、符号化・復号化処理に

おける低消費電力化を図ることが大きな課題となっている。

- [0004] 以下に、ソフトウェアを使用した動画像符号化又は復号化システムにおける従来の低消費電力化の手段を説明する。従来の低消費電力化の手段としては、例えば下記の非特許文献1に開示されている。
- [0005] 非特許文献1: IEEE International Symposium on Circuits and System 2001(May,2001) の予稿集pp918–921 “ An LSI for VDD–Hopping and MPEG4 System Based on the Chip”(H. Kawaguchi, G. Zhang, S. Lee, and T. Sakurai)
- [0006] 図14は、非特許文献1で示された、動画像(動画像符号化)処理システムについて従来の低消費電力化を行う手法を示した図である。なお、低消費電力化の手段は、動画像復号化処理システムにおいても同様である。
- [0007] 非特許文献1では、動作電源電圧及び動作周波数を変更可能なプロセッサ上で、動画像符号化(特にMPEG)を処理する場合の低消費電力化を行うための動作電源電圧及び動作周波数の制御方法を示している。すなわち非特許文献1の発明は、図15に示すように、動画像符号化を行う場合に、動画像内の動きの激しさなどによりフレーム単位に動画像符号化又は復号化の演算量が異なることに注目し、プロセッサの動作周波数及び動作電源電圧を制御して低消費電力化を図るものである。
- [0008] 符号化処理は、1フレームの処理時間が符号化方式(MPEGなど)の規定などにより時間Tfに制約されており、その処理時間Tf内に1フレームの符号化処理が完了することが必要とされる。1フレームの処理時間Tf(秒)に対して、それを一定間隔にN個に分割し、一つ一つの間隔(時間)をタイムスロットTslot ($T_{slot} = Tf/N$)と定義し、また、タイムスロットTslot1からタイムスロットTslotiが終了した時点の残時間TRiを $TR_i = Tf - T_{slot} \times i$ と定義する。一つのタイムスロットTslotで処理する動画像のブロック数(動画像の符号化はブロック単位に処理が行われる)をR(すなわち $R \times N$ が1フレームのブロック数となる)とし、 $(R \times i)$ ブロック処理にかかった時間(すなわちタイムスロットTslot1からタイムスロットTslotiまでに処理すべきブロック群に対して実際に処理にかかった時間)を $T_{acc}(i+1)$ とする。電圧変更した場合に動作電源電圧及び動作周波数が安定するまでの時間をTrdとする。なお、実タイムスロットRTslotiはタイムスロット

Tslot_i内に完了されるべき処理に対して実際に要した処理時間と示す。図14では、まずタイムスロットTslot1及びタイムスロットTslot2に割り当てられたブロック群の処理に対しては、負荷が最大の場合でもそのタイムスロットTslot1, Tslot2内に十分に処理が完了可能なクロック周波数f_{max}で動作させる。その処理にかかる時間Tacc3がTacc3 < (Tf - TR2)である場合、すなわち、割り当てられたブロック群がタイムスロットTslot1, Tslot2内で処理が完了した場合、次のタイムスロットTslot3に割り当てられたブロック群の処理に使用可能な処理時間Ttar3はTtar3 = Tf - Tacc3 - TR3 - Trdであり、この処理時間Ttar3内にTslot3に割り当てられたブロック群の処理が完結すればよいので、このブロック群に対しては動作周波数を下げて動作させる。図14の処理時間Tf1, Tf2, Tf3は、タイムスロットTslot3において負荷が最大の場合に、各動作周波数f1, f2, f3で動作させたときの処理時間を示す。動作周波数としては、図14においてf2 = f_{max} / 2の動作周波数を選択すれば、負荷が最大の場合でもタイムスロットTslot1からタイムスロットTslot3までに完了されるべき処理時間が(Tf - TR3)以内であり、次のタイムスロットTslot4に処理が入り込むことはない。一方、動作周波数f3 = f_{max} / 3を選択した場合は、処理時間Tf3が処理時間Ttar3を超えてしまう。したがって、このタイムスロットTslot3で処理すべきブロック群に対してはf2 = f_{max} / 2の動作周波数及びその動作周波数に適する動作電源電圧で動作させる。同様にして、タイムスロットTslot毎にこの処理を行う。

[0009] これにより、動的に動作クロック周波数及び動作電源電圧を変更するに際し、所定時間内に所定数のブロック群を処理可能な動作周波数のうち最小の動作周波数を選択することにより、総合的に動作周波数及び動作電源電圧を下げて動作させ、必要処理に応じて電圧を制御することにより、低消費電力化が図られている。

[0010] ところで、ある一定の処理時間(例えば、ここでは1フレームの処理時間Tf)に完了すべき処理(例えば、ここでは1フレームの処理)に対しては、1フレームの処理時間を通してプロセッサを一定の動作電源電圧及び動作周波数で動作させて処理することが好ましい。すなわち、1フレームの処理時間Tf(秒)とし、演算量Kf(サイクル)とし、動作周波数Ffとすると、動作周波数Ff = Kf / Tf(サイクル / 秒)に設定し、1フレームの処理時間Tfを通してプロセッサを一定の動作周波数Ffで動作させることにより

、その処理時間Tf内で動作周波数Ffを何回も変動させる場合と比較して、より低消費電力化が可能となる。この証明は後述する第1の実施の形態の証明2で行う。

[0011] しかしながら、非特許文献1では、処理時間Tfの同期する単位が1フレームであるにもかかわらず、1フレーム内で最大N回の動作電源電圧及び動作周波数の変更が行われており、低消費電力が十分に図られていなかった。すなわち、本従来例のように多段階に動作電源電圧及び動作周波数を制御可能なプロセッサでの動画像符号化又は復号化処理の低消費電力化は、1フレームの処理中に何回も動作電源電圧及び動作周波数を変更する必要があった。一方、上述のように、処理時間の制約の単位がフレームであるため、1フレームの処理中は処理を可能にする最低限の一定の周波数で制御するのが好ましい。そのため、1フレームの処理中に最大N回動作電源電圧及び動作周波数が変更される本従来例では十分な低消費電力化ができていなかった。

発明の開示

発明が解決しようとする課題

[0012] ところで、プロセッサの低消費電力化を妨げる他の要因の一つとして、プロセッサを構成するMOSトランジスタのサブスレッショルドリーク電流が挙げられる。サブスレッショルドリーク電流は、半導体基板に形成されるMOSトランジスタのゲート電圧がしきい値電圧以下のとき流れる微少電流である。このサブスレッショルドリーク電流による消費電力は、MOSトランジスタの微細化が高まるにつれて支配的となる傾向にあり、半導体基板にMOSトランジスタが集積されたプロセッサを使用して動画像の符号化又は復号化を行う動画像符号化又は復号化システムにおいて、低消費電力化を妨げる要因の一つとなっている。

[0013] このサブスレッショルドリーク電流は、1フレームの処理時間Tf内でプロセッサの動作周波数Ffを何回も変動させる場合と比較して、処理時間Tfを通して一定の動作周波数Ffで動作させることにより低減され、プロセッサの低消費電力化が可能となる。この証明は後述する第1の実施の形態の証明1で行う。上記非特許文献1の発明は、処理時間Tfの同期する単位が1フレームであるにもかかわらず、1フレーム内で最大N回の動作周波数の変更が行われており、動作電源電圧のみならずサブスレッショ

ルドリーケ電流の観点からも好ましくなかった。

- [0014] 一方、MOSトランジスタに関しては、MOSトランジスタが形成される半導体領域の基板バイアス電圧を制御することにより、サブスレッショルドリーケ電流を制御できることが知られている。
- [0015] また、プロセッサで流れるリーク電流には、充放電電流、サブスレッショルドリーケ電流以外にも、GIDL(Gate-Induced Drain Leakage), DIBL(Drain-Induced Barrier Lowering), ゲートリークやその他の電流が存在し、これらの電流はMOSトランジスタの微細化が高まるにつれて大きくなる傾向にあり、プロセッサの低消費電力化を妨げる一因となっている。
- [0016] そこで本発明は、前記のような課題を解決するためのものであり、サブスレッショルドリーケ電流を低減可能であり、更には、GIDLやDIBLやゲートリーク等の電流をも低減可能であり、より効果的に低消費電力化を図ることができる動画像符号化又は復号化処理システム、及び、動画像符号化又は復号化処理方法を提案することにある。

課題を解決するための手段

- [0017] 発明者等は、MOSトランジスタを集積した半導体素子であるプロセッサに関して、基板バイアス電圧の制御によりサブスレッショルドリーケ電流を抑制し、プロセッサの低消費電力化が実現可能であることを確認した。以下に、基板バイアス電圧の制御方法と制御による低消費電力効果について詳述する。たとえば、プロセッサをトリプルウェル構造とすることで、基板バイアス電圧V_{bn}をn-チャネルMOSトランジスタに印加でき、基板バイアス電圧V_{bp}をp-チャネルMOSトランジスタに印加でき、基板バイアス電圧が制御可能となる。
- [0018] 図16はトリプルウェル構造のプロセッサ1の部分断面図である。プロセッサ1は、P型半導体基板p-subにn型ウエルn-wellを形成し、さらに、n型ウエルn-wellにp型ウエルp-wellを形成することによってトリプルウェル構造としたものである。p型ウエルp-wellには、n-チャネルMOSトランジスタとp型ウエルコンタクト層p-Contactとが形成されている。n-チャネルMOSトランジスタは、n型の不純物層からなるソース／ドレイン層S, Dと、ゲート電極Gとを有する。n型ウエルn-wellには、p-チャネルMO

Sトランジスタとn型ウエルコンタクト層n—Contactとが形成されている。n—チャネルMOSトランジスタは、p型の不純物層からなるソース／ドレイン層S, Dと、ゲート電極Gとを有する。n—チャネルMOSトランジスタが形成される半導体領域であるp型ウエルp—wellにはp型ウエルコンタクト層p—Contactを介して基板バイアス電圧Vbnが印加される。p—チャネルMOSトランジスタが形成される半導体領域であるn型ウエルn—wellにはn型ウエルコンタクト層n—Contactを介して基板バイアス電圧Vbpが印加される。

[0019] 図17は、n—チャネルMOSトランジスタの基板バイアス電圧Vbnとしきい値電圧Vtnの関係の例、ならびにp—チャネルMOSトランジスタの基板バイアス電圧Vbpとしきい値電圧Vtpの関係の例を表している。n—チャネルMOSトランジスタの基板バイアス電圧Vbnが上がるとしきい値電圧Vtnが下がり、p—チャネルMOSトランジスタの基板バイアス電圧Vbpが上がるとしきい値電圧—Vtpが上がり、基板バイアス電圧Vbn, Vbpを変化させることで、しきい値電圧Vtn, —Vtpを制御できる。図18の例に示すように、しきい値電圧Vtn, —Vtpが下がると一般にプロセッサの動作周波数が上がり、しきい値電圧の制御によりプロセッサ1の動作周波数fが変化する。図19の(1)はVtn, —Vtpがそれぞれ0[V]の場合、(2)はVtn, —Vtpがそれぞれ0. 1[V]の場合、(3)はVtn, —Vtpがそれぞれ0. 2[V]の場合のしきい値電圧Vtn, —Vtpとサブスレッシュヨルドリーク電流Istの関係の例を表す。図19に示すように、しきい値電圧Vtn, —Vtpが上がるとサブスレッシュヨルドリーク電流Istが下がり、しきい値電圧Vtn, —Vtpを制御することによりサブスレッシュヨルドリーク電流Istを制御できる。したがって、基板バイアス電圧Vbn, Vbpによりサブスレッシュヨルドリーク電流Istを制御できる。そこで、演算量に適する動作周波数fを算出し、動作周波数fを実現することができ、かつ、サブスレッシュヨルドリーク電流Istを抑制できるように基板バイアス電圧Vbn, Vbpを制御し、その動作周波数fでプロセッサを一定に動作させながら、1フレームの符号化又は復号化処理を行うことにより、サブスレッシュヨルドリーク電流Istを抑制することができる。たとえば、動作周波数を低く設定できるとき、基板バイアス電圧を下げることによりしきい値電圧を上げることができ、サブスレッシュヨルドリーク電流を抑制することができる。よって、全電流を抑制することができ、低消費電力化を実現できる。

- [0020] 以上の結果から、発明者等は基板バイアス電圧を制御することにより、サブスレッショルドリーク電流を抑制し、低消費電力を実現する本発明を完成させた。
- [0021] すなわち、本発明の動画像符号化又は復号化処理システム／方法は、半導体基板にMOSトランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手段／ステップを有し、前記プロセッサは動作周波数及び基板バイアス電圧が制御可能である動画像符号化又は復号化処理システム／方法において、これから符号化又は復号化される任意の一のフレームを現フレームとすると、現フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段／ステップと、現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数を決定する基板バイアス電圧・動作周波数決定手段／ステップとを備え、前記プロセッサは、前記基板バイアス電圧・動作周波数決定手段／ステップにより決定された基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、前記動画像符号化又は復号化手段／ステップが現フレームの符号化又は復号化処理を行うことを特徴とする。
- [0022] 符号化・復号化方式(MPEG等)の規定においては、現フレームに対して予め処理時間が割り当てられている。本発明によれば、必要演算量計算手段／ステップにより現フレームの符号化又は復号化に必要な必要演算量が計算され、基板バイアス電圧・動作周波数決定手段／ステップにより現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数が決定され、前記プロセッサは前記算出された動作周波数及び基板バイアス電圧で一定に動作しながら、動画像符号化又は復号化手段／ステップにより現フレームの符号化又は復号化処理を行う。したがって、フレームごとに一定の基板バイアス電圧及び動作周波数でプロセッサを動作させながら、そのプロセッサにより符号化又は復号化処理が行われることとなり、フレームを分割して成る所定数のブロックごとに動作周波数及び動作電源電圧が決定されることで現フレームの符号化・復号化処理中に何度も基板バイアス電圧及び動作周波数

が変更される従来技術と比較して、サブスレッショルドリーク電流Istが抑制され、低消費電力化を図ることができる。プロセッサの基板バイアスと動作周波数の制御は、それぞれ基板バイアス制御手段／ステップ・動作周波数制御手段／ステップにより行われる。

- [0023] サブスレッショルドリーク電流の過剰な抑制は、かえって低消費電力化を阻害する場合がある。そこで、さらに効果的に低消費電力化を図るためにには、基板バイアス電圧に加えて動作電源電圧を制御することが好ましい。以下に、動作周波数と動作電源電圧・基板バイアス電圧の関係について詳述する。たとえば、プロセッサ1および(又は)局部復号メモリ等を含めた周辺装置で消費される電流が、

$$I = I_{cd} + I_{st}$$

で表されるとする。ここで、 I_{cd} は充放電電流であり、

$$I_{cd} = a \times C \times f \times VDD$$

a:係数、C:プロセッサのトランジスタ数

f:動作周波数、VDD:動作電源電圧

である。一方、 I_{st} はサブスレッショルドリーク電流であり、

$$I_{st} = I_0 \times 10^{\hat{}} ((Vgs - Vt) / S)$$

I_0 :定数、Vgs:ゲートソース間電圧、

Vt:しきい値電圧(Vtn又は-Vtp)、S:サブスレッショルドswing

である。また、しきい値電圧は基板バイアス電圧を用いて

$$Vt = Vt0 + \gamma \sqrt{(\delta - VBB)}$$

Vt0、 γ 、 δ :定数、VBB:基板バイアス電圧(Vbn又は-Vbp)

と表される。一方、動作周波数は動作電源電圧としきい値電圧を用いて、

$$f = K \times (VDD - Vt) ^ \alpha / VDD$$

K、 α :係数

と表される。回路で消費される消費電力Pは、

$$P = P_{cd} + P_{st}$$

$P_{cd} = VDD \times I_{cd}$:充放電電流によるダイナミック電力

$P_{st} = VDD \times I_{st}$:サブスレッショルドリーク電流によるスタティックリーク電力

と表される。図20は、プロセッサの動作周波数fを一定とした場合の消費電力Pと動作電源電圧VDDの関係を表した図である。たとえば、プロセッサ1の動作電源電圧VDDを下げる場合、充放電電流Icdは減少するが、動作周波数fを維持するために基板バイアス電圧Vbn及び(又は)-Vbpを上げてしきい値電圧Vtを下げる必要があり、それに伴ってサブスレッショルドリーク電流Istが指數関数的に増加する。よって、消費電力Pには最小値が存在し、消費電力が最小値となるような動作電源電圧VD Dと基板バイアス電圧Vbn及び(又は)-Vbpの組合せが存在する。動作電源電圧V DDと基板バイアス電圧Vbn及び(又は)-Vbpを制御し、特定の動作周波数fに対し消費電力Pを最小にするような動作電源電圧VDDおよび基板バイアス電圧Vbn及び(又は)-Vbpでプロセッサ1を動作させることにより、さらに効果的に低消費電力化を図ることができる。

- [0024] さらに、発明者等は、MOSトランジスタを集積した半導体素子であるプロセッサに関して、基板バイアス電圧と動作電源電圧の制御により充放電電流、サブスレッショルドリーク電流以外にも、GIDL(Gate-Induced Drain Leakage), DIBL(Drain-Induced Barrier Lowering), ゲートリークやその他の電流を抑制し、プロセッサの低消費電力化が実現可能であることを確認した。GIDLは、MOSトランジスタのゲート領域とドレン領域のオーバーラップ部分に高電界が生じる場合、トンネリング現象によりドレンから基板に向かって流れる電流である。また、DIBLは、MOSトランジスタのドレン電圧が高い場合、ソースの障壁が低くなりソースからチャネル表面にキャリアが注入されることによって流れる電流である。また、ゲートリークは、MOSトランジスタのゲート酸化膜におけるトンネリング現象によってゲートからチャネルに向かって流れる電流である。DIBLは動作電源電圧のみの関数であり、GIDL、ゲートリーク、その他の電流は動作電源電圧と基板バイアス電圧の関数である。それらのリーク電流を考慮に入れる上、プロセッサにおける消費電力Pは、

$$P = P_{cd} + P_{st} + P_{GIDL} + P_{DIBL} + P_{gl} + P_{other}$$

Pcd:充放電電力, Pst:サブスレッショルドリークによる電力

P_{GIDL}:GIDLによる消費電力, P_{DIBL}:DIBLによる消費電力

P_{gl}:ゲートリークによる消費電力, P_{other}:その他の消費電力

で表され、消費電力Pは動作電源電圧及び基板バイアス電圧の関数となる。この場合でも、所定の動作周波数に対し全消費電力を最小にするような動作電源電圧および基板バイアス電圧でプロセッサを動作させることにより、さらに効果的に低消費電力化を図ることができる。

- [0025] 以上の結果から、発明者等は基板バイアス電圧のみならず動作電源電圧をも制御することにより、サブスレッショルドリーク電流及び充放電電流及びそれ以外のリーク電流を適度に抑制し、さらに効果的に低消費電力化を実現できる本発明を完成させた。
- [0026] すなわち、本発明の動画像符号化又は復号化処理システム／方法は、半導体基板にMOSトランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手段／ステップを有し、前記プロセッサは動作周波数、基板バイアス電圧及び動作電源電圧が制御可能である動画像符号化又は復号化処理システム／方法において、これから符号化又は復号化される任意の一のフレームを現フレームとすると、現フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段／ステップと、現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧、基板バイアス電圧及び動作周波数を決定する動作電源電圧・基板バイアス電圧・動作周波数決定手段／ステップとを備え、前記プロセッサは、前記動作電源電圧・基板バイアス電圧・動作周波数決定手段／ステップにより決定された基板バイアス電圧、動作電源電圧及び動作周波数によりフレーム単位で一定に動作しながら、前記動画像符号化又は復号化手段／ステップが現フレームの符号化又は復号化処理を行うことを特徴とする。
- [0027] 上述のように、消費電力Pは、サブスレッショルドリーク電流Istのみならず充放電電流Icdとそれ以外のリーク電流による影響も大きいことから、基板バイアス電圧とともに動作電源電圧を制御することにより、サブスレッショルドリーク電流Ist及び充放電電流Icdとそれ以外のリーク電流を適度に抑制し、より効果的に低消費電力化を実現することが可能となる。本発明によれば、プロセッサは、フレームごとに一定の動作電源

電圧及び基板バイアス電圧及び動作周波数で動作しながら、符号化又は復号化処理が行われることとなる。フレームを分割して成る所定数のブロックごとに動作周波数及び動作電源電圧及び基板バイアス電圧が決定されることで一のフレームの符号化・復号化処理中に何度も動作電源電圧及び動作周波数が変更される従来技術と比較して、低消費電力化を図ることができる。基板バイアス電圧のみならず動作電源電圧についても制御するため、サブスレッショルドリーク電流Istと充放電電流Icdとそれ以外のリーク電流とが適度に抑制され、より効果的な低消費電力化が実現される。ここで、一定の動作周波数に適する動作電源電圧及び基板バイアス電圧は、消費電力Pが最小となる組み合わせであることが好ましい。

[0028] また、本発明の動画像符号化又は復号化処理システム／方法は、前記プロセッサは動作周波数がr段階(rは2以上の整数)に可変であり、前記基板バイアス電圧・周波数決定手段／ステップは、前記必要演算量計算手段／ステップにより算出された前記現フレームの必要演算量Kpと、現フレームの処理に割り当てる時間Teとから、時間Teで必要演算量Kpを処理するに必要な動作周波数Feを $Fe = Kp / Te$ で計算し、前記プロセッサが動作可能な動作周波数から前記必要な動作周波数Fe以上であり且つその動作周波数Feに最も近い動作周波数を選択するとともに、選択された動作周波数に適する基板バイアス電圧を決定することを特徴とする。また本発明の動画像符号化又は復号化処理システム／方法は、前記プロセッサは動作周波数がr段階(rは2以上の整数)に可変であり、前記動作電源電圧・基板バイアス電圧・周波数決定手段／ステップは、前記必要演算量計算手段／ステップにより算出された前記現フレームの必要演算量Kpと、現フレームの処理に割り当てる時間Teとから、時間Teで必要演算量Kpを処理するに必要な動作周波数Feを $Fe = Kp / Te$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数Fe以上であり且つその動作周波数Feに最も近い動作周波数を選択するとともに、選択された動作周波数Fに適する基板バイアス電圧及び動作電源電圧を決定することを特徴とする。

[0029] これらの発明によれば、時間Teで必要演算量Kpを処理するに必要な動作周波数Feが $Fe = Kp / Te$ で計算された後に、前記プロセッサが動作可能な可能動作周波

数から前記必要な動作周波数 F_e 以上であり且つその動作周波数 F_e に最も近い動作周波数を選択する計算が行われるとともに、選択された動作周波数 F に適する基板バイアス電圧が決定されるか、又は、選択された動作周波数に適する動作電源電圧及び基板バイアス電圧が決定され、プロセッサがその決定された動作周波数と基板バイアス電圧、又は、動作周波数と動作電源電圧と基板バイアス電圧で一定に動作しながら動画像符号化又は復号化手段／ステップにより現フレームの符号化又は復号化処理を行う。すなわち、プロセッサが動作可能な可能動作周波数及び基板バイアス電圧のうち、現フレームに割り当てられた時間 T_e 内に必要演算量 K_p を処理可能な最小の動作周波数とその動作周波数に適する基板バイアス電圧により、プロセッサを一定に動作させながら、そのプロセッサ上で動作する符号化又は復号化手段／ステップにより現フレームの符号化又は復号化処理が行われるか、または、プロセッサが動作可能な可能動作周波数と動作電源電圧と基板バイアス電圧のうち、現フレームに割り当てられた時間 T_e 内に必要演算量 K_p を処理可能な最小の動作周波数 F とその動作周波数に適する動作電源電圧及び基板バイアス電圧により、プロセッサを一定に動作させながら、そのプロセッサ上で動作する符号化又は復号化手段／ステップにより現フレームの符号化又は復号化処理が行われるため、可能動作周波数が段階的に可変なプロセッサが使用されても、低消費電力化が効率的に行われる。

[0030] また、本発明の動画像符号化又は復号化処理システム／方法は、前記必要演算量計算手段／ステップで算出された必要演算量が実際に必要な演算量よりも小さい場合に起きた破綻現象を回避する破綻回避手段／ステップを備えることを特徴とする。

[0031] 前記必要演算量計算手段／ステップで算出された必要演算量が実際に必要な演算量よりも小さい値である場合には、予め定められた時間内に現フレームの符号化又は復号化処理が完了せず、画像が劣悪になる破綻現象が起こるが、本発明は破綻現象を回避する一つ以上の破綻回避手段／ステップを備えるため破綻現象の発生が回避される。

[0032] 本発明の動画像符号化又は復号化処理システム／方法は、前記破綻回避手段／

ステップとして、前記必要演算量計算手段／ステップにより算出された必要演算量を所定値だけ増加させる第1の破綻回避手段／ステップを少なくとも備えることを特徴とする。

- [0033] この発明によれば、破綻回避手段／ステップが必要演算量を所定値だけ増加させるため、必要演算量計算手段／ステップにより算出された必要演算量が実際の演算量を満たす可能性が高くなり、必要演算量が現実の演算量よりも小さいことにより生じる破綻現象を回避することができる。
- [0034] 本発明の動画像符号化又は復号化処理システム／方法は、前記第1の破綻回避手段／ステップは、必要演算量計算手段／ステップにより算出された必要演算量をm倍(mは1以上の実数)又は必要演算量に0より大きい実数nを加算することを特徴とする。
- [0035] この発明によれば、第1の破綻回避手段／ステップは必要演算量をm倍又は必要演算量にnを加算するため、mやnの値を調節することで、必要演算量計算手段／ステップにより算出された必要演算量を、現実の演算量よりも大きく且つ現実の演算量に近似した値とることができ、破綻現象を回避することができる。
- [0036] 本発明の動画像符号化又は復号化処理システム／方法は、前記破綻回避手段／ステップとして、前記必要演算量計算手段／ステップで算出された必要演算量が、前記動画像符号化又は復号化手段／ステップによる符号化又は復号化処理に実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する処理を行う第2の破綻回避手段／ステップを備えることを特徴とする。
- [0037] この発明によれば、第2の破綻回避手段／ステップが、前記必要演算量計算手段／ステップで算出された必要演算量が実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する処理を行うため、破綻現象が起こる場合にのみ破綻現象を回避する処理が行われ、効率的に破綻現象を回避することができる。
- [0038] 本発明の動画像符号化処理システム／方法は、前記第2の破綻回避手段／ステップとして、所定のタイミングで動画像符号化手段／ステップによる符号化に割り込み処理を行い、符号化処理がなされていないマクロブロックの有無を確認し、符号化が

なされていないマクロブロックがある場合は、当該マクロブロックに対して無効ブロック化処理を行う無効ブロック化手段／ステップを少なくとも備えることを特徴とする。

- [0039] たとえば、現フレームの符号化処理に予め割り当てられた時間のうち、総てのマクロブロックを無効ブロック化する処理時間を残したタイミングなどの所定のタイミングにおいて、符号化されていないマクロブロックがある場合は破綻現象が生じる可能性が高い。本発明によれば、第2の破綻回避手段／ステップである無効ブロック化手段／ステップが、例えば上記タイミングで動画像符号化手段／ステップによる処理に割り込みを行い、符号化がなされていないマクロブロックがある場合は、前記必要演算量計算手段／ステップで算出された必要演算量が実際に必要な演算量よりも小さいと判断し、当該マクロブロックに対して無効ブロック化処理を行うため、破綻現象を回避することができる。
- [0040] 本発明の動画像符号化又は復号化処理システム／方法は、前記第2の破綻回避手段／ステップとして、所定のタイミングで動画像符号化又は復号化手段／ステップによる符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段／ステップで算出された現フレームの必要演算量の残量が、符号化又は復号化処理手段／ステップによる現フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する基板バイアス電圧でプロセッサを動作させる演算残量判断手段／ステップを少なくとも備えることを特徴とする。また、本発明の動画像符号化又は復号化処理システム／方法は、前記第2の破綻回避手段／ステップとして、所定のタイミングで動画像符号化又は復号化手段／ステップによる符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段／ステップで算出された現フレームの必要演算量の残量が、符号化又は復号化処理手段／ステップによる現フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する動作電源電圧及び基板バイアス電圧でプロセッサを動作させる演算残量判断手段／ステップを少なくとも備えることを特徴とする。
- [0041] これらの発明によれば、第2の破綻回避手段／ステップである演算残量判断手段

／ステップが、所定のタイミングで動画像符号化又は復号化手段／ステップによる処理に割り込みを行い、その割り込み時点において、必要演算量計算手段／ステップで算出された現フレームの必要演算量の残量が、符号化又は復号化処理手段／ステップによる現フレームの符号化又は復号化処理において実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する基板バイアス電圧でプロセッサを動作させるか、又は、その動作周波数に適する動作電源電圧及び基板バイアス電圧でプロセッサを動作させるため、プロセッサの計算速度が向上して処理可能な処理量が増加し、破綻現象を回避できる可能性が高くなる。割り込みの回数を複数回とすると、処理状態に合わせて動作周波数と基板バイアス電圧、又は、動作周波数と動作電源電圧と基板バイアス電圧を段階的に上げることができ、破綻現象を回避できる可能性がさらに高められる。

- [0042] 本発明の動画像符号化又は復号化処理システム／方法は、連続する複数のフレームのうち前記現フレームより前に符号化処理されるフレームを前フレームとすると、動画像符号化処理を行う場合において、前記必要演算量計算手段／ステップは、現フレームと前フレームとの動き量、現フレームのアクティビティの量、前フレームのアクティビティの量、前フレームの量子化ステップサイズの平均値、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差、前フレームのマクロブロックマッチング回数、前フレームの有効ブロック数、前フレームの有効係数の数、前フレームの符号化に実際に要した演算量、前フレームの発生ビット数、現フレームの符号化ビットレート、現フレームについてフレーム内符号化又はフレーム間符号化のいずれであるかの種類、必要演算量計算手段／ステップにより算出された前フレームの必要演算量のうち、一つ以上の要素を使用して必要演算量を計算することを特徴とする。本発明の請求項13記載の動画像符号化又は復号化処理システムは、前記請求項1乃至請求項11のいずれか1項に記載の発明を前提として、連続する複数のフレームのうち前記現フレームより前に復号化処理されるフレームを前フレームとすると、動画像復号化処理を行う場合において、前記必要演算量計算手段／ステップは、現フレームの符号化データのビット数、前記現フレームがフレーム内符号化されたものであるか又はフレーム間符号化されたもの

であるかの種類、現フレーム若しくは前フレームの動きベクトルの大きさの平均値、現フレーム若しくは前フレームの動きベクトルの大きさの分散、現フレーム若しくは前フレームの有効ブロック数、現フレーム若しくは前フレームの有効係数の数、現フレーム若しくは前フレームのビットレート、現フレーム若しくは前フレームの符号量、現フレーム若しくは前フレームの量子化ステップサイズの平均値、量子化ステップサイズの平均値の差(現フレームと1つ前のフレームの量子化ステップサイズの差、もしくは1つ前のフレームの量子化ステップサイズと2つ前のフレームの量子化ステップサイズの差)、前フレームの復号化に実際に要した演算量、必要演算量計算手段／ステップにより算出された前フレームの必要演算量のうち一つ以上の要素を使用して必要演算量を計算することを特徴とする。

[0043] 前記複数の要素はそれぞれ符号化又は復号化処理において必要演算量に影響を与える要素である。本発明によれば、前記要素のうち一つ以上が必要演算量計算手段／ステップの要素として使用されて必要演算量が計算されるため、必要演算量計算手段／ステップにより計算される必要演算量が現実に符号化又は復号化処理を行ったときの演算量により近い値となる。したがって、算出された必要演算量が現実の演算量よりも大き過ぎて低消費電力化が阻害される可能性が少なく、また、必要演算量が現実の演算量よりも小さくて符号化又は復号化処理が時間内に完了しないという破綻現象が上記破綻回避手段／ステップによらなくても発生しにくい。

発明の効果

[0044] 以上説明したように、本発明の動画像符号化又は復号化システムと動画像符号化又は復号化処理方法によれば、これから符号化又は復号化する現フレーム(未来に符号化又は復号化するフレーム)に対して、符号化又は復号化に要する必要演算量を予測する計算を行い、その現フレームの処理に割り当てられた時間内は一定の動作周波数で制御することにより、フレーム単位に基板バイアス電圧・動作周波数、又は、動作電源電圧・基板バイアス電圧・動作周波数が動的に制御されるため、低消費電力を実現することができる。

[0045] また、破綻回避手段／ステップを備えるため、必要演算量計算手段／ステップで算出された必要演算量が実際に必要な演算量よりも小さい場合に起る破綻現象を回

避することができ、符号化又は復号化処理された動画像が劣悪になるのを防止することができる。

図面の簡単な説明

[0046] [図1]本発明の第1の実施の形態の動画像符号化処理システムの動作を示した概略ブロック図。

[図2]上記実施の形態の動画像符号化処理システムの実装例を示す図。

[図3]上記実施の形態の動画像符号化処理システムとしてコンピュータを機能させる動画像符号化処理プログラムの概略フローチャートを示す図。

[図4]上記実施の形態の動画像符号化処理システムにおける符号化処理時間と演算残量の関係を示す図。

[図5]上記実施の形態の動画像符号化処理システムに使用されるプロセッサの動作電源電圧・基板バイアス電圧・動作周波数を示す概念図。

[図6]動作周波数を一定とすることによりサブスレッシュドリーク電流を低減できることを説明する説明図。

[図7]動作電源電圧及び動作周波数を一定とすることにより低消費電力化を図ることができることを説明する説明図。

[図8]本発明の第2の実施の形態の動画像符号化処理システムの動作を示した概略ブロック図。

[図9]上記実施の形態の動画像符号化処理システムとしてコンピュータを機能させる動画像符号化処理プログラムの概略フローチャートを示す図。

[図10]本発明の第3の実施の形態の動画像復号化処理システムの動作を示した概略ブロック図。

[図11]本発明の第4の実施の形態の動画像符号化処理システムの動作を示した概略ブロック図。

[図12]上記実施の形態の動画像符号化処理システムに使用されるプロセッサの基板バイアス電圧・動作周波数を示す概念図。

[図13]実施例におけるプロセッサの動作周波数と動作電源電圧、基板バイアス電圧の関係の例を示す図。

[図14]動画像符号化処理システムについて従来の低消費電力化を行う手法を示した図。

[図15]フレーム単位に動画像符号化又は復号化の演算量が異なる状態を示す概念図。

[図16]トリプルウエル構造を示す断面図。

[図17]n-チャネルMOSトランジスタ、p-チャネルMOSトランジスタにおけるしきい値電圧と基板バイアス電圧の関係の例を示す図。

[図18]プロセッサにおける動作周波数としきい値電圧の関係の例を示す図。

[図19]サブスレッシュホールドリーク電流とゲート電圧、しきい値電圧の関係の例を示す図。

[図20]プロセッサの動作周波数を一定とした場合の電流と動作電源電圧の関係を示す図。

符号の説明

[0047] S1, S2, S4 動画像符号化処理システム

S3 動画像復号化処理システム

1 プロセッサ

2 必要演算量計算手段

3 動作電源電圧・基板バイアス電圧・動作周波数決定手段

4 動作電源電圧・基板バイアス電圧・動作周波数制御手段

5 動画像符号化手段

6 局部復号フレームメモリ

7 入力フレームメモリ

8 要素メモリ

9 第2の破綻回避手段(無効ブロック化手段)

10 処理済マクロブロック数レジスタ

11 第1の破綻回避手段

101 入力画像データ

102 動作電源電圧・基板バイアス電圧・動作周波数指示

- 103 局部復号データ
104 動作電源電圧・基板バイアス電圧・動作周波数指示
105 動作電源電圧・基板バイアス電圧・動作周波数供給
106 符号化データ
107 前フレームの量子化ステップサイズの平均値、
108 各フレームについてフレーム内符号化であるかフレーム間符号化であるか
の種類
109 動画像の符号化ビットレート
110 前フレーム(過去のフレーム)のアクティビティの量
111 前フレームのマクロブロックマッチング回数
112 前フレームの有効ブロック数
113 前フレームの有効係数の数
114 前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量
子化ステップサイズの平均値の差
115 前フレームの符号化に実際に要した処理量
116 必要演算量計算手段により算出された前フレームの必要演算量
117 処理済マクロブロック数
29 第2の破綻回避手段(演算残量判断手段)
35 動画像復号化手段
36 局部復号フレームメモリ
39 第2の破綻回避手段(演算残量判断手段)
301 入力符号化データ
306 復号化データ
42 基板バイアス・動作周波数決定手段
44 基板バイアス・動作周波数制御手段
402 基板バイアス電圧・動作周波数指示
405 基板バイアス電圧・動作周波数供給
p-sub p型半導体基板

n-well n型ウエル

p-well p型ウエル

発明を実施するための最良の形態

[0048] 以下、本発明の動画像符号化又は復号化処理システム及び動画像符号化又は復号化処理方法について説明する。本発明の動画像符号化又は復号化システムは、後述するプロセッサ1が動画像符号化処理及び動画像復号化処理を行うものであり、動画像符号化を行う場合は動画像符号化処理システムとして機能し、動画像復号化を行う場合を動画像復号化処理システムとして機能する。たとえば、本発明の動画像符号化又は復号化処理システムとしては、フレーム単位若しくは時間単位で符号化又は復号化を行うものでも良く、また、復号化処理のみ又は符号化処理のみを行うものでも良い。以下、説明の便宜上、符号化を行う場合を動画像符号化システムとし、復号化を行う場合を動画像復号化システムとし、動画像符号化処理と動画像復号化処理に分けて詳述する。なお、後述する各手段による処理は、本発明の動画像符号化又は復号化方法の各ステップに相当する。

[0049] (第1の実施の形態)

本発明の第1の実施の形態の動画像符号化処理システムS1は、動作周波数と基板バイアス電圧と動作電源電圧の制御により、サブスレッショルドリーク電流と充放電電流とそれ以外のリーク電流とを適度に抑制し、低消費電力化を図るものである。本システムS1は、例えばマイクロコンピュータが内蔵された携帯電話やパーソナルコンピュータ等の情報端末機器であるコンピュータにより実現され、特に、そのコンピュータ内においてマルチメディア信号処理部などの一部として機能するシステムであり、連続する所定数のフレームから構成される動画像をフレーム単位で順次符号化を行うシステムである。

[0050] 図1は、本実施の形態の動画像符号化処理システムS1の動作を示した概略ブロック図である。動画像符号化処理システムS1は、動作電源電圧VDD及び基板バイアス電圧Vbn, Vbp及び動作周波数fがr段階(rは2以上の整数)に可変であり(すなわち、r段階の動作電源電圧VDD及び基板バイアス電圧Vbn, Vbp及び動作周波数fで動作可能であり)且つプログラムにより動作電源電圧及び基板バイアス電圧及び

動作周波数を変更可能なプロセッサ1と、プロセッサ1の動作電源電圧及び基板バイアス電圧及び動作周波数を制御する動作電源電圧・基板バイアス電圧・動作周波数制御手段4と、所定のデータを記憶する記憶領域である局部復号フレームメモリ6と入力フレームメモリ7と要素メモリ8と処理済みマクロブロック数レジスタ10とを少なくとも備えるコンピュータ(特にコンピュータ内のマルチメディア信号処理部)である。ただし、Vbnはn-チャネルMOSトランジスタの基板バイアス電圧、Vbpはp-チャネルMOSトランジスタの基板バイアス電圧である。

- [0051] プロセッサ1は、図16に示すようにトリプルウェル構造をとる半導体素子であり、MOSトランジスタごとに基板バイアス電圧が制御可能となっている。局部復号メモリ6および入力フレームメモリ7は半導体記憶素子であり、動作電源電圧・基板バイアス電圧・動作周波数制御手段4により、プロセッサ1と同様に動作電源電圧・基板バイアス電圧・動作周波数が制御される。本実施の形態では、点線で示される制御領域CAに含まれる要素(プロセッサ1、局部復号フレームメモリ6、要素メモリ8、処理済みマクロブロック数レジスタ10、入力フレームメモリ7a、7b、等)について、動作周波数・動作電源電圧・基板バイアスが制御されるようになっている。
- [0052] 動作電源電圧・基板バイアス電圧・動作周波数制御手段4は、DC-DCコンバータなどを備えた動作電源電圧制御手段、n-チャネルMOSトランジスタの基板バイアス電圧を制御するための基板バイアス電圧Vbn発生手段、p-チャネルMOSトランジスタの基板バイアス電圧を制御するための基板バイアス電圧Vbp発生手段、PLLなどを備えた動作周波数制御手段からなる。ただし、動作電源電圧・基板バイアス電圧・動作周波数制御手段4の各要素は動画像符号化処理するシステムS1の外に存在し、動画像符号化処理システムS1の外から動作電源電圧または基板バイアス電圧または動作周波数を制御してもよい。プロセッサ1、各メモリ6、7、動作電源電圧・基板バイアス電圧・動作周波数制御手段4は互いに配線を介して接続されている。
- [0053] プロセッサ1は、プロセッサ1上で動作する手段として、必要演算量計算手段2と、動作電源電圧・基板バイアス電圧・動作周波数計算手段3と、動画像符号化手段5と、二つの破綻回避手段9、11を備える。二つの破綻回避手段9、11は、必要演算量計算手段2で算出された必要演算量が、符号化手段5による符号化処理に実際に必要

な演算量よりも小さい値を算出した場合に起きた破綻現象を回避するための手段であり、必要演算量計算手段2の一部として機能する第1の破綻回避手段11と、第2の破綻回避手段としての無効ブロック化手段9である。なお、符号101は入力画像データ、符号102は動作電源電圧及び基板バイアス電圧及び動作周波数指示、符号103は前フレームの局部復号データ、符号105は動作電源電圧・基板バイアス電圧・動作周波数供給、符号106はフレームの符号化データ、符号107は前フレームの量子化ステップサイズの平均値の情報、符号108は各フレームについてフレーム内符号化であるかフレーム間符号化であるかの種類、符号109は動画像の符号化ビットレートの情報、符号110は前フレームのアクティビティ量、符号111は前フレームのマクロブロックマッチング回数、符号112は前フレームの有効ブロック数、符号113は前フレームの有効係数の数、符号114は前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差、符号115は前フレームの符号化に実際に要した処理量、符号116は必要演算量計算手段2により算出された前フレームの必要演算量、符号117は符号化処理が完了したマクロブロックの数である処理マクロブロック数である。要素メモリ8は、後述する必要演算量計算手段2において使用される複数の要素のうち一部の要素(フレーム内符号化であるかフレーム間符号化であるかの種類108や、符号化ビットレート109や、フレームのアクティビティの量110や、必要演算量計算手段2により算出された必要演算量116)が記憶される記憶領域である。処理済マクロブロック数レジスタ10は、符号化処理済みのマクロブロック数117の情報を一時的に蓄積するレジスタである。動画像符号化手段5には符号化方式としてMPEG-4が使用されるが、H. 26XやMPEG-1、MPEG-2などの他の符号化方式が使用されていても良い。

[0054] 図2に動画像符号化処理システムS1の実装例を示す。システムS1は、主にプロセッサ1と、周辺装置として各種メモリMR、7a、7bや各種インターフェースCI、DI、BIと、動作電源電圧・基板バイアス電圧・動作周波数制御回路4a等を備えたハードウェアにより実現される。上記各構成要素は、バスB1、B2等を介して互いに通信可能となっている。

[0055] プロセッサ1は、プロセッサコア1aと、命令キャッシュメモリ1bと、データキャッシュメ

モリ1cとを備える。必要演算量計算手段2, 動作電源電圧・基板バイアス電圧・動作周波数決定手段3, 動画像符号化手段5, 破綻回避手段9, 11は、メモリMRに格納されたプログラムが必要に応じてプロセッサコア1a上で実行されることにより実現される。命令キャッシュメモリ1bおよびデータキャッシュメモリ1cは、プロセッサコア1a上で実行されるプログラムの処理の高速化を図るために設けられたキャッシュメモリである。

- [0056] 局部復号フレームメモリ6, 要素メモリ8, 処理済みマクロブロック数レジスタ10は、図2のメモリMRに集約されるとともに、前フレームの量子化ステップサイズの平均値107, 各フレームについてフレーム内符号化であるかフレーム間符号化であるかの種類108, 動画像符号化のビットレート109, 前フレーム(過去のフレーム)のアクティビティの量110, 前フレームのマクロブロックマッチング回数111, 前フレームの有効ブロック数112, 前フレームの有効係数の数113, 前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差114, 前フレームの符号化に実際に要した処理量115, 必要演算量計算手段により算出された前フレームの必要演算量116, 処理済みマクロブロック数117はメモリMRにデータとして格納される。局部復号データ103は、バスコントローラBCを介してメモリMRとプロセッサコア1a間で信号100j, 100k, 100lとして送受信される。
- [0057] 二つの入力フレームメモリ7a, 7bは、Fig1のフレームメモリ7に相当する。カーメインタフェースCIから入力されたビデオデータ(入力画像データ101)は、バスB2を介して入力フレームメモリ7a(又は入力フレームメモリ7b)に入力される。入力フレームメモリ(#0)7aと入力フレームメモリ(#1)7bは1フレームの処理が終わるごとに用途を入れ替わる。すなわち、i番目のフレームの処理で、信号100hにより入力フレームメモリ(#1)7bに入力画像データが書き込まれ、動画像符号化処理手段による符号化処理のために信号100oにより入力フレームメモリ(#0)7aから入力画像データが読み出されたとき、(i+1)番目のフレームの処理では、信号100iにより入力フレームメモリ(#0)7aに入力画像データが書き込まれ、動画像符号化処理手段による符号化処理のために、信号100pにより入力フレームメモリ(#1)7bから入力画像データが読み出される。したがって、信号100hにより入力フレームメモリ(#1)7bに入力画像

データが書き込まれているときは信号100pが発生せず、逆に信号100pにより画像が読み出されているときは信号100hが発生しない。同様に、信号100iにより入力フレームメモリ(#0)7aに入力画像データが書き込まれているときは信号100oが発生せず、信号100oにより入力フレームメモリ(#0)7aから入力画像データが読み出されているときは信号100iが発生しない。このとき、i番目のフレームの処理においては入力フレームメモリ(#0)7aが、(i+1)番目のフレームの処理においては入力フレームメモリ(#1)7bが動作周波数、動作電源電圧・基板バイアス電圧の制御対象となる。上記説明のように、入力フレームメモリを2フレーム分用意し、それぞれの動作周波数を独立に設定できるようにすることで、常に一定の動作周波数であるカメラインターフェースCIからの入力画像データの書き込み動作と、必要演算量の算出値に基づいて動作周波数が変動する入力画像データの読み出し動作を、互いに妨げることなく実行することができる。

- [0058] 動作電源電圧・基板バイアス電圧・動作周波数制御回路4aは、PLL4b, DC-DCコンバータ4c, nMOS用の基板バイアス電圧発生回路4d, pMOS用の基板バイアス電圧発生回路4eと互いに信号を送受信可能となっており、これらは動作電源電圧・基板バイアス電圧・動作周波数制御手段4として機能している。動作電源電圧・基板バイアス電圧・動作周波数制御回路4aは、プロセッサコア1aからの信号100eにより動作電源電圧・基板バイアス電圧・動作周波数指示102を受け、その指示102に基づいてPLL4bに対して信号100uを発信し、DC-DCコンバータ4cに対して信号100vを発信し、各基板バイアス電圧発生回路4d, 4eに対して信号100w, 100xを発信する。PLL4bは信号100uに基づいて動作周波数信号100aを発信し、DC-D Cコンバータ4cは信号100vに基づいて動作電源電圧100bを供給し、各基板バイアス電圧発生回路4d, 4eは各信号100w, 100xに基づいてnMOS基板バイアス電圧100c, pMOS基板バイアス電圧100dを供給する。これにより、図2において点線で示される制御領域CAに含まれる要素(プロセッサ1、メモリMR、入力フレームメモリ7a, 7b、バスコントローラBC等)について、動作周波数と動作電源電圧と基板バイアス電圧が制御される。信号100e, 100j, 100k, 100l, 100m, 100o, 100p, 100q, 100r, 100sは、PLL4bが出力する動作周波数信号100a, DC-DCコンバータ4c

が出力する電源電圧供給100bの値に応じて周波数と信号レベルが変化する。

- [0059] プロセッサ1上で動作する動画像符号化手段5による符号化後の符号化データ106は、バスB1を介してビットストリームインターフェースBIに信号100mとして送信されて信号100nとして出力されるとともに、局部復号フレームメモリ6として機能するメモリMRに送信される。また、画像のデータなどは、バスB1を介してメモリから信号100qとして読み出され、ディスプレイインターフェースDIに送信される。ディスプレイインターフェースDIに受信された信号100qは、信号100tによるビデオデータとして出力される。ビデオデータは、ディスプレイインターフェースDIと接続されるモニタを介して、動画像として出力・表示される。
- [0060] 動作電源電圧・基板バイアス電圧・動作周波数制御回路4a, ディスプレイインターフェースDI, ビットストリームインターフェースBIは常に一定の動作電源電圧で動作するが、これらの間で送受信される信号100e, 100q, 100mは制御領域CAに含まれる要素(プロセッサ1やメモリMRや入力フレームメモリ7a, 7b等)の動作電源電圧の変更に応じて信号レベルが変動する。この影響を吸収するために、動作電源電圧・基板バイアス電圧・動作周波数制御回路4a, ディスプレイインターフェースDI, ビットストリームインターフェースBIは、受信した信号100e, 100q, 100mの信号レベルを補正するレベルコンバータを備えることが望ましい。
- [0061] 次に、図1に従って本実施の形態の動画像符号化処理システムS1の動作を説明する。動画像符号化処理システムS1は、動画像符号化処理プログラムPrg1によりコンピュータ(特にコンピュータ内のマルチメディア信号処理部)を下記の所定の手段として機能させることにより実現される。以下、順次符号化されるフレームのうちこれから符号化される任意の一のフレームを現フレーム(すなわち、あるフレームが符号化された時点を基準とすると次に符号化されるフレームであり、換言すると、その時点において未だに符号化処理されておらず未来に符号化処理が行われる予定であるフレーム)、現フレームより前に符号化された一のフレーム(過去に符号化されたフレーム)を前フレームとし、現フレームを符号化する処理について説明するが、いずれのフレームについても同様の処理が行われる。
- [0062] 図3はその動画像符号化処理プログラムPrg1の概略フローチャートを示す図であ

る。動画像符号化処理プログラムPrg1は、後述するステップ1からステップ5においてコンピュータを下記の各手段として機能させる。(ステップ1)現フレームの画像情報を入力フレームメモリ7に入力する。(ステップ2)現フレームの必要演算量Kpを計算させる必要演算量計算手段2として機能させる。(ステップ3)算出された必要演算量Kpに応じてプロセッサの動作周波数F及び動作電源電圧VDD及び基板バイアス電圧Vbn, Vbpを決定する動作電源電圧・基板バイアス電圧・動作周波数決定手段3として機能させる。(ステップ4)算出された動作周波数F及び動作電源電圧VDD及び基板バイアス電圧Vbn, Vbpでプロセッサ1を動作させる制御を行わせる動作電源電圧・基板バイアス電圧・動作周波数制御手段4として機能させる。(ステップ5)現フレームの画像情報を符号化させる動画像符号化手段5として機能させる。以上、ステップ1からステップ5の処理を入力フレームメモリ7に入力されるフレームの順番(すなわち、符号化される順番)に、すべてのフレームに対して行うことで、動画像の符号化を行う。以下、詳細に説明する。

- [0063] (ステップ1)入力された入力画像データは、フレームの同期をとるため、フレームを一時的に記憶する記憶領域である入力フレームメモリ7に一旦格納される。
- [0064] (ステップ2:必要演算量計算ステップ)必要演算量計算手段2は、入力フレームメモリ7にアクセスして現フレームの入力画像データ101を取得し、現フレームの符号化処理に必要な必要演算量Kpを計算する。必要演算量Kpの計算方法は様々な方法が考えられるが、たとえば、現フレームの符号化処理の演算量に影響を与える要素を一つ以上使用して計算することが望ましい。要素としては、例えば、動画像符号化処理において、処理内容が動き補償である場合は、動きの激しい映像では演算量が多く、一方、動きの少ない映像では演算量が少ないと注目して、現フレームと前フレームとの動き量として差分絶対値和で計算される歪み値や、また、各々のフレームのアクティビティ量として隣接画素差分絶対値和で計算される値や、マクロブロックマッチング回数や、有効ブロック数や、有効係数の数や、符号化ビットレートや、発生ビット数や、前フレームの符号化に実際に要した演算量や、必要演算量計算手段2により算出された前フレームの必要演算量が挙げられる。ここで、各要素それぞれについて、一つの要素の値のみ変化し、他の要素の値が変化しないと仮定したときに、その

一つの要素の値が大きい場合は小さい場合に比較して必要演算量が相対的に大きくなるようにし、その一つの要素の値が小さい場合は大きい場合と比較して必要演算量が相対的に小さくなるようにする。また、現フレームがフレーム内符号化である場合はフレーム間符号化である場合と比較して必要演算量Kpが相対的に小さく、フレーム間符号化である場合はフレーム内符号化である場合と比較して必要演算量Kpが相対的に大きくなるようにする。すなわち、これらの複数の要素は現フレームの符号化処理のために必要な必要演算量に影響を与える要素であるため、必要演算量計算手段2が、これらの要素に応じて必要演算量Kp(サイクル)を増減するように計算を行うことにより、必要演算量計算手段2により計算される必要演算量Kpが現実に符号化処理を行ったときの演算量により近い値となる。

[0065] たとえば、本実施の形態では、関数Gを使用して計算し、入力フレームメモリ7に記憶されている現フレームの入力画像データ101と、局部復号フレームメモリ6に蓄積されている復号化された前フレームの局部復号データ103とを比較して、入力画像の動きの大きさの予測(計算)を行う。この前フレームの局部復号データ103は、現フレームよりも前に符号化が行われる前フレームの符号化処理において、前フレームを符号化して形成した前フレームの符号化データ106を、ローカルデコーダで復号化することにより形成され、局部復号フレームメモリ6に記憶されている。動きの大きさの予測(計算)の一例として、例えば差分絶対値和を用いる。以下に、差分絶対値和Σと必要演算量Kpの求め方を説明する。なお、前フレームの画像データとしては、符号化後にローカルデコーダにより復号化された局部復号データ106を使用しても良いが、入力された前フレームの入力画像データをそのまま使用しても良い。

[0066] 入力フレームメモリ7に蓄積された現フレームの入力画像データ101をX(i,j)(iは画像の水平方向の座標、jは垂直方向の座標)、後述する局部復号フレームメモリ6に蓄積された前フレームの局部復号データ103をY(i,j)(iは画像の水平方向の座標、jは垂直方向の座標)とすると、現フレームと前フレームとの動き量は、差分絶対値和Z = Σ | X(i,j) - Y(i,j) | をすべての(またはサンプルした)画素に対して計算する。この差分絶対値和の値をZとする。一方、フレームのアクティビティ量においては、X(i,j)において隣接画素差分絶対値和W、つまり、水平方向Wh = Σ | X(i,j) - X(i-1,j) | 、垂

直方向Wv= $\Sigma |X(i,j)-X(i,j-1)|$ を計算することにより求められ、全ての(又はサンプルした)入力画像に対して計算する。この隣接画素差分絶対値和の値(すなわち各フレームのアクティビティ量)をWとする。

[0067] 差分絶対値和をZ、現フレームのアクティビティ量をWa、前フレーム(過去のフレーム)のアクティビティ量をWb、前フレームの平均量子化ステップサイズ(量子化ステップサイズの平均値)をQprev、前フレームのマクロブロックマッチング回数をM、前フレームの有効ブロック数をB、前フレームの有効係数の数をC、前フレームの符号化に実際に要した処理量をS、現フレームの符号化ビットレートをBR、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差を ΔQ_{prev} 、前フレームの実際の発生ビット数をD、必要演算量計算手段により算出された前フレームの必要演算量をKp' とおくと、これらの要素のうち一つ以上の要素を使用して、必要演算量Kpは、

$$Kp = G(Z, Wa, Wb, Qprev, M, B, C, S, BR, \Delta Q_{prev}, D, Kp')$$

で計算される。ただし、GはZ, Wa, Wb, Qprev, M, B, C, S, BR, ΔQ_{prev} , D, Kp'のうち、一以上の要素から導き出される関数である。その一例としては、

$$Kp = j + \alpha M + \beta B + \gamma C + \delta Z + \epsilon \Delta Q_{prev}$$

が挙げられるが、これに限られるわけではない。また、必要演算量Kpの計算に使用される要素として、現フレームがフレーム内符号化であるかフレーム間符号化であるかの種類Iが使用される。現フレームがフレーム内符号化である場合の必要演算量Kpは小さい値と、フレーム間符号化である場合の必要演算量Kpは大きい値となる。すなわち、必要演算量計算手段2は、差分絶対値和Zを使用するときは差分絶対値和 $Z = \Sigma |X_{ij}-Y_{ij}|$ を計算した後に、必要演算量 $Kp = G(Z, Wa, Wb, Qprev, M, B, C, S, BR, \Delta Q_{prev}, D, Kp')$ を計算する。

[0068] 以下、上記関数Gについて説明する。前フレームと現フレームの間で画像の変化が大きい(小さい)場合、すなわち差分絶対値和Zが大きい(小さい)場合、現フレームで実行されるマクロブロックマッチングの回数は大きく(小さく)なり、現フレームの動き検出処理に必要な演算量(実行されるマクロブロックマッチング回数に依存する)が大きく(小さく)なる。また、現フレームのアクティビティ量Waが大きい(小さい)場合、

現フレームは画像の高周波成分を多く(少なく)含むことを意味し、この場合、現フレームの符号化処理で発生する有効ブロックの数、有効係数の数は大きく(小さく)なり、現フレームのIDCT処理に必要な演算量(発生する有効ブロックの数に依存する)、IQ処理に必要な演算量(発生する有効係数の数に依存する)、VLC処理に必要な演算量(発生する有効係数の数に依存する)は大きく(小さく)なる。したがって、上記関数GはZ, Waなどのパラメータが大きい(小さい)場合、Kpを大きく(小さく)設定するように構成する。

- [0069] 動画像は連続するフレーム間での相関が大きいため、符号化処理で実行されるマクロブロックマッチング回数、符号化処理で発生する有効ブロック数、有効係数の数、符号化処理で必要となる演算量、アクティビティ量は、時間的に連続するフレーム間で非常に近い値となる。したがって、M, B, C, S, Wbが大きい(小さい)場合、現フレームにおいてもマクロブロックマッチング回数、有効ブロック数、有効係数の数、符号化処理に必要となる演算量、アクティビティ量が大きく(小さく)なる確率が高い。さらに、必要演算量計算手段で予測される必要演算量が実際の符号化処理に要した演算量に近い値となる場合、 $S \approx Kp'$ となる。したがって、上記関数GはM, B, C, S, Wb, Kp'などのパラメータが大きい(小さい)場合、Kpを大きく(小さく)設定するように構成する。
- [0070] ターゲットビットレートが大きい(小さい)場合、量子化ステップサイズの値は小さく(大きく)設定され、その結果、符号化処理で発生する有効ブロックの数、有効係数の数は大きく(小さく)なる。また、前フレームの発生ビット数がターゲットビットレートと比較して大きい(小さい)場合、現フレームの量子化ステップサイズの値は小さく(大きく)設定され、符号化処理で発生する有効ブロックの数、有効係数の数は小さく(大きく)なる。したがって、上記関数Gは現フレームの符号化ビットレートBRが大きい(小さい)場合、Kpを大きく(小さく)設定するように、前フレームの実際の発生ビット数DがBRと比較して大きい(小さい)場合、Kpを小さく(大きく)設定するように構成する。さらに、前フレームの平均量子化ステップサイズQprevや前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差 ΔQ_{prev} を考慮することで、上記関数Gが算出するKpが実際に現フレームを符号化する

ために必要となる演算量に近い値とすることができます。

[0071] また、破綻現象を生じにくくするため、必要演算量計算手段2は第1の破綻回避手段11を備えることが好ましい。第1の破綻回避手段11は、必要演算量計算手段2に含まれる第1の破綻回避手段11が必要演算量Kpを所定値だけ増加させ、算出された必要演算量Kpに余裕を持たせる処理を行う。具体的には、必要演算量Kpをm倍(mは1以上の実数)する。たとえばm=1.1とすると、算出した必要演算量Kpに対し、10%の余裕を持たせることができる。また、必要演算量Kpに実数n(nは0以上の実数)を加算しても良く、算出された必要演算量の値に関わらず一定の値で余裕を持たせることができる。上述の例を用いると、最終的に算出される必要演算量Kpは、
$$K_p = G(Z) \times m$$

$$K_p = G(Z) + n$$

により求められる。2式を組み合わせて、

$$K_p = G(Z) \times m + n$$

としてもよい。それでも算出された必要演算量Kpが現実の現フレームの必要演算量Kmより小さければ、後述する第2の破綻回避手段である無効ブロック化手段9において処理を行うことにより破綻現象を回避する。

[0072] なお、動画像の符号化ビットレート109や、現フレーム及び前フレームについてフレーム内符号化であるかフレーム間符号化であるかの種類108や、前フレームのアクティビティの量110や、必要演算量計算手段により算出された前フレームの必要演算量116は要素が記憶される記憶領域である要素メモリ8に予め記憶されており、必要演算量Kpの計算時に必要演算量計算手段2に読み込まれて使用される。前フレームの量子化ステップサイズの平均値107、前フレームのマクロブロックマッチング回数111、前フレームの有効ブロック数112、前フレームの有効係数の数113、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値との差114、及び前フレームの符号化に実際に要した処理量115は前フレームの符号化処理が行われたときに動画像符号化手段5から必要演算量計算手段2にフィードバックされる。必要演算量計算手段2においては、これらの要素のうち一つの要素のみを使用しても良いし、複数の要素を組み合わせて使用しても良い。

[0073] (ステップ3:動作電源電圧・基板バイアス電圧・動作周波数決定ステップ) 動作電源電圧・基板バイアス電圧・動作周波数決定手段3は、必要演算量Kpの値をもとに、現フレームの処理に対する動作周波数Fe(サイクル／秒)を予測する計算を行う。すなわち、符号化方式により処理時間が規定されている最小単位は1フレームであり、現フレームの符号化処理に割り当てられた時間をTe(秒)とすると、現フレームに必要とされる動作周波数Fe(サイクル／秒)、すなわち時間Te(秒)内に前記必要演算量Kpを符号化処理可能な動作周波数Te(サイクル／秒)は $Fe = Kp / Te$ で表されることから、動作電源電圧・基板バイアス電圧・動作周波数決定手段3は動作周波数 $Fe = Kp / Te$ を計算する。ただし、現フレームの符号化処理に割り当てられた時間Teは、1フレームの処理の制限時間Tfから、現フレームに対する演算量を予測する時間Tp及びプロセッサの動作周波数・動作電源電圧・基板バイアス電圧を変更する時間Tsを引いた時間である。図5に示すように、プロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置がサポートする動作電源電圧・基板バイアス電圧・動作周波数がr段階(rは2以上の整数)で変更可能な場合、動作電源電圧・基板バイアス電圧・動作周波数決定手段3は、 $F(n) > Fe$ であり、且つ $F(n-1) < Fe$ となる動作周波数F(n)を現フレームの符号化処理を行う動作周波数として選択する計算を行い、その動作周波数F(n)に適する動作電源電圧VDD(n)及び基板バイアス電圧Vbn(n), Vbp(n)を選択する計算を行い、プロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置をその動作周波数F(n)と動作電源電圧VDD(n)と基板バイアス電圧Vbn(n), Vbp(n)で動作させるように、動作電源電圧・基板バイアス電圧・動作周波数を動作電源電圧・基板バイアス電圧・動作周波数制御手段4に指示する(符号102)。なお、nは1以上r以下の整数である。

[0074] 図5の動作周波数・動作電源電圧・基板バイアス電圧の関係は、動作電源電圧・基板バイアス電圧・動作周波数決定手段3において、各動作周波数に対し、プロセッサ1、又は、プロセッサ1及び局部復号メモリ6等を含めた周辺装置で消費される電流が所定値以下となるように動作電源電圧・基板バイアス電圧の組合せがあらかじめ設定されている。たとえば、サブスレッショルドリーク電流Istと充放電電流Icdとそれ以外のリーク電流との関係から、消費電力Pが最小となる動作電源電圧VDDと基板バイ

アス電圧Vbn, Vbpを実験や計算等により求め、この動作電源電圧VDDと基板バイアス電圧Vbn, Vbpの組み合わせとすることが望ましい。ここで、電流の最小化を図る際、各電流要素を1つ以上用いて合計した電流を計算に用いる。なお、動作電源電圧・基板バイアス電圧・動作周波数決定手段3に内蔵するハードウェアおよび(又は)プログラムで、動作周波数に応じた動作電源電圧に対し、自動的に基板バイアス電圧が計算されてもよい。また、動作電源電圧・基板バイアス電圧・動作周波数決定手段3に内蔵するハードウェアおよび(又は)プログラムで、動作周波数に対し、動作電源電圧と基板バイアス電圧が計算されてもよい。

- [0075] (ステップ4)動作電源電圧・基板バイアス電圧・動作周波数制御手段4は、動作電源電圧・基板バイアス電圧・動作周波数決定手段3から指示を受けた動作電源電圧VDD(n)及び基板バイアス電圧Vbn(n), Vbp(n)及び動作周波数F(n)の値をプロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置に供給し(符号105)、その動作電源電圧VDD(n)及び基板バイアス電圧Vbn(n), Vbp(n)及び動作周波数F(n)でプロセッサ1を一定に動作させる制御を行う。これにより、プロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置は、一定の動作電源電圧VDD(n)及び基板バイアス電圧Vbn(n), Vbp(n)及び動作周波数F(n)で動作することになる。具体的には、動作電源電圧・基板バイアス電圧・動作周波数制御手段4に内蔵する動作電源電圧制御手段により動作電源電圧VDD(n)でプロセッサ1を一定に動作させる制御を行い、基板バイアス電圧Vbn発生手段によりn-チャネルMOSトランジスタに対する基板バイアス電圧Vbn(n)でプロセッサ1を一定に動作させる制御を行い、基板バイアス電圧Vbp発生手段によりp-チャネルMOSトランジスタに対する基板バイアス電圧Vbp(n)でプロセッサ1を一定に動作させる制御を行い、動作周波数制御手段により動作周波数F(n)でプロセッサ1を一定に動作させる制御を行う。
- [0076] 基板バイアス電圧Vbn, Vbpの印加方法について具体的に説明する。n-チャネルMOSトランジスタに対する基板バイアス電圧Vbn(n)とグランド電位Vssとの電位差をVbbn(n)とし、p-チャネルMOSトランジスタに対する基板バイアス電圧Vbp(n)と動作電源電圧Vdd(n)との電位差をVbbp(n)とする。すなわち、

$$Vbn(n) = Vbbn(n) + Vss$$

$$V_{bp}(n) = V_{bbp}(n) + V_{dd}(n)$$

の関係が成り立つ。電圧 $V_{bbn}(n)$ と $V_{bbp}(n)$ と動作電源電圧 $V_{dd}(n)$ は独立に設定できる。ただし、 $V_{bbn}(n)$ は、n-チャネルMOSトランジスタのソース-基板間pn接合に印加された電圧であり、この電圧が拡散電位 V_ϕ を超えないようにし、 $V_{bbp}(n)$ は、p-チャネルトランジスタのソース-基板間pn接合に印加された電圧であり、この電圧が拡散電位 $-V_\phi$ を下回らないようにする。拡散電位 V_ϕ は通常0.6Vである。

[0077] (ステップ5:動画像符号化ステップ)動画像符号化手段5は、動画像符号化処理プログラムPrg1によりコンピュータのプロセッサ1上で実現される手段であり、プロセッサ1を使用して入力フレームメモリ7に格納された入力画像データを動画像符号化を行う単位でアクセスし、符号化処理を行う手段である。すなわち、動画像符号化手段5は、入力フレームメモリ7から現フレームの入力画像データ101を取得し、符号化して符号化データ106を生成する。ステップ4において、プロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置は動作電源電圧・基板バイアス電圧・動作周波数制御手段4から供給された一定の動作電源電圧 $VDD(n)$ 及び基板バイアス電圧 $V_{bn}(n)$, $V_{bp}(n)$ 及び動作周波数 $F(n)$ で動作している状態となっているため、ステップ5では、動作電源電圧・基板バイアス電圧・動作周波数制御手段4がその動作周波数 $F(n)$ 及び動作電源電圧 $VDD(n)$ 及び基板バイアス電圧 $V_{bn}(n)$, $V_{bp}(n)$ でプロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置を一定に動作させながら、そのプロセッサ1を使用して符号化を行う動画像符号化手段5が現フレームの符号化を行うこととなる。たとえば動きの激しい画像(現フレームの入力画像データ101)に対してはプロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置を高い周波数で一定に動作させ、動きの少ない画像に対しては低い周波数で一定に動作させることにより低消費電力化を図ることが可能になる。さらに、動画像符号化手段5は、符号化データ106を復号する機能を有するローカルデコーダを備えており、現フレームの符号化データ106はローカルデコーダにより復号されて局部復号フレームメモリ6に局部復号データ103として蓄積される。この現フレームの局部復号データ103は現フレームの次に符号化されるフレームについて必要演算量 K_p を計算する際に使用される。現フレームの符号化データ106は伝送路を通じて送信されたり、蓄

積メディアに蓄積されたりする。

- [0078] なお、基板バイアス電圧の制御は、動作周波数Fに応じてp-チャネルMOSトランジスタの基板バイアス電圧V_{bp}, n-チャネルMOSトランジスタの基板バイアス電圧V_{bn}のうち少なくとも1つの電圧だけ制御してもよい。
- [0079] さらに、符号化処理システムS1は、破綻回避手段を備えることが好ましい。必要演算量計算手段2で算出された必要演算量K_pが現実の現フレームの必要演算量よりも小さい場合に生ずる、現フレームの処理に割り当てられた時間内に処理が完了できないという破綻現象の問題を解決するために、符号化処理システムS1は必要演算量計算手段2で算出された必要演算量が実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する処理を行う第2の破綻回避手段を備える。本実施の形態では、第2の破綻回避手段として無効ブロック化手段9を備える。無効ブロック化手段9は、ステップ5において動画像符号化手段5が現フレームの入力画像データ101の符号化処理ルーチンを実行している際に、所定のタイミングで符号化処理ルーチンに割り込みを行い、処理時間内で一時中断し、現フレームの符号化処理が終了しているか終了していないかを判定し、符号化がなされていないマクロブロックがある場合は、前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さいと判断し、当該マクロブロックに対して無効ブロック化処理を行う。ここでは、無効ブロック化手段9において、少なくとも破綻現象が起きない時点で割り込みを行った際に符号化処理が完了していなければ、残りの処理を大幅に削減できる処理に変更するなどの無効ブロック化処理を行うことにより、時間内に符号化処理が完了できないという破綻現象を回避できるようにしている。
- [0080] 以下に、無効ブロック化手段9について具体的に説明する。図4は割り込みを行う際の時間と演算残量の関係を示している。動作周波数Fで動作する現フレームの処理に割り当てられた時間T_f内で、1フレームのマクロブロック数をMBとし、1つのマクロブロックを無効マクロブロックとして処理する際に必要な演算量をK_sとする。ただし、無効マクロブロックとして処理する際に必要な演算量K_sは、1マクロブロックの通常の処理に要する演算量に比べはるかに小さい値であり、どのフレームのマクロブロックに対しても同様の処理を行う。無効ブロック化手段9は、割り込みを行う時間T_iをT_i

= $T_f - K_s \times MB / F$ で算出する。割り込みを行う時間は、前記動作電源電圧・基板バイアス電圧・動作周波数決定手段3が計算しても良い。次に、無効ブロック化手段9は、時間 T_i のタイミングで符号化処理ルーチンに割り込みを行い、処理済マクロブロック数レジスタ10から符号化処理が終了したマクロブロックの数 MB_i (符号117)の読み出しを行って、 $MB_i = MB$ であるか、 $MB_i < MB$ であるかを判断し、符号化処理が完了しているかを判定する。 $MB_i = MB$ であれば、現フレームの符号化処理が完了しているので、そのまま割り込みルーチンを終了して符号化処理ルーチンに戻る。 $MB_i < MB$ であれば、現フレームの符号化処理が終了していないので、必要演算量計算手段2で算出された必要演算量が実際に必要な演算量よりも小さいと判断し、符号化未処理のマクロブロック総てを無効ブロックとして処理し、符号化処理ルーチンに戻る。時間 T_i のタイミングで割り込みを行う時点で、少なくとも全てのマクロブロックを無効ブロックとして処理する演算量は確保されているため、必ず破綻現象を回避することができる。

[0081] なお、無効ブロック化処理に換えて、後述するようにプロセッサ1の動作周波数を上げ、その動作周波数に適する基板バイアス電圧及び動作電源電圧とすることより、破綻現象を回避しても良い。この場合は、現フレームの符号化処理に予め割り当てられている時間内に、符号化未処理のマクロブロック総てを符号化できる程度の時間を残したタイミングで割り込みを行う。

[0082] (証明1)

以下に、プロセッサの動作周波数を複数回変更しながら一のフレームを符号化する従来技術と比較して、本願発明がよりサブフレッシュドリーク電流による消費電力を低減できることを証明する。たとえば、プロセッサ1の基板バイアス電圧及び動作周波数は図5に示すようにP段階に可変とし、任意の一のフレームの必要演算量を K_t とし、そのフレームの処理に割り当てられる時間を T_t とする。図6(a)に示すように、動作周波数を F_t と設定し、プロセッサ1を動作周波数 F_t で動作させるときの基板バイアス電圧を V_b とし、基板バイアス電圧 V_b に適するしきい値電圧を V_t とし、時間 T_t で必要演算量 K_t の処理が終了する場合をCase1とし、図6(b)に示すように、初期値の動作周波数を $h * F_t$ と設定し、プロセッサを動作周波数 $h * F_t$ で動作させるときの基板バ

イアス電圧をVb1とし、基板バイアス電圧Vb1に適するしきい値電圧をVt1とし、時間T1が経過した時点でプロセッサの動作周波数を $h * F_t / 2$ に変更し、プロセッサ1を動作周波数 $h * F_t / 2$ で動作させるときの基板バイアス電圧をVb2とし、基板バイアス電圧Vb2に適するしきい値電圧をVt2とし、時間T1+T2で必要演算量Ktの処理が終了する場合をCase2とし、各Case1, Case2について前記任意の一のフレームを符号化する場合を考えてみる。ただし、しきい値電圧についてVt1>Vt>Vt2であり、サブスレッショルドリーク電流による消費電力は、

$$Pst = VDD \times I_0 \times 10^{-(-Vt/S)}$$

I₀:定数、VDD:動作電源電圧、Vgs:ゲート-ソース間電圧、

Vt:しきい値電圧、S:サブスレッショルドswing

と表される。これを用いてCase1のサブスレッショルドリーク電流による消費電力Pst1とCase2のサブスレッショルドリーク電流による消費電力Pst2を計算すると、

$$Pst1 = VDD \times I_0 \times 10^{-(-Vt/S)} \times Tt$$

$$Pst2 = VDD \times I_0 \times 10^{-(-Vt1/S)} \times T1 + I_0 \times 10^{-(-Vt2/S)} \times T2$$

となり、

$$Pst1:Pst2 = 10^{-(-Vt/S)} \times Tt : (10^{-(-Vt1/S)} \times T1 + 10^{-(-Vt2/S)} \times T2)$$

となる。ここで、たとえばh=1.5、Ta=1/3×Tt、Tb=2/3×Tt、Vt1=3×S、Vt2=S、Vt=2×Sとすると、

$$Pst1:Pst2 = 10^{-2} : (10^{-3}/3 + 10^{-1} \times 2/3)$$

$$\approx 0.01:0.07$$

となり、Pst1<Pst2となる。すなわち、決められた演算量を一定時間で処理する場合、同一演算量Ktにもかかわらず、Case1の場合のように、その時間内で処理が終了可能な最小の動作周波数により、その処理時間を通してプロセッサの基板バイアス電圧を一定に動作させるほうが、従来のように処理時間中に動作周波数を変更するCase2の場合よりも低消費電力であることがわかる。したがって、一定の基板バイアス電圧及び動作周波数でプロセッサ1を動作させながら一のフレームの符号化処理を行う本発明によれば、ブロックごとに基板バイアス電圧及び動作周波数が決定され

るため一のフレームの符号化中に何度も動作周波数が変更される従来技術と比較して、低消費電力化が図られることがわかる。

[0083] (証明2)

以下に、プロセッサの動作電源電圧及び動作周波数を複数回変更しながら一のフレームを符号化する従来技術と比較して、本願発明がより低消費電力化を図ることができることを証明する。たとえば、ある特定の時間Ttにある特定の演算量Ktを行う場合、その特定の時間の間は、同一周波数で制御を行い、周波数Ftを

$$F_t = K_t / T_t$$

に設定すると低消費電力を実現できる。たとえば、プロセッサ1の動作電源電圧及び動作周波数は図5に示すようにP段階に可変とし、任意の一のフレームの必要演算量をKtとし、そのフレームの処理に割り当てられる時間をTtとする。図7(a)に示すように、動作周波数をFtと設定し、プロセッサ1を動作周波数Ftで動作させるときの動作電源電圧をVDDとし、時間Ttで必要演算量Ktの処理が終了する場合(すなわち、動作周波数が一定の場合)をCase1とし、図7(b)に示すように、初期値の動作周波数をh * Ftと設定し、プロセッサを動作周波数h * Ftで動作させるときの動作電源電圧をVDD1とし、時間T1が経過した時点でプロセッサの動作周波数をh * Ft / 2に変更し、プロセッサ1を動作周波数h * Ft / 2で動作させるときの動作電源電圧をVDD2とし、時間T1 + T2で必要演算量Ktの処理が終了する場合(すなわち、動作周波数の切り替えが1回行われる場合)をCase2とし、各Case1, Case2について前記任意の一のフレームを符号化する場合を考えてみる。どちらも同一の演算量、すなわちKt(サイクル)となる。一方、消費電力は、

$$P = \alpha \times C \times f \times VDD^2 \times t$$

α : 係数、C: プロセッサのトランジスタ数

f: 動作周波数、VDD: 動作電源電圧、t: 動作時間

で表される。これを用いてCase1の消費電力PaとCase2の消費電力Pbを計算すると、

$$Pa = \alpha \times C \times Ft \times VDD^2 \times Tt$$

$$Pb = \alpha \times C \times (h \times Ft) \times VDD1^2 \times T1 + \alpha \times C \times (h \times Ft / 2) \times VDD2^2 \times T2$$

となり、

$$Pa:Pb = VDD^2 \times Tt : (h \times VDD1^2 \times T1 + (h/2) \times VDD2^2 \times T2)$$

となる。ここでたとえば $h=1.5$ 、 $T1=1/3 \times Tt$ 、 $Tb=2/3 \times Tt$ 、 $VDD=1$ 、 VD
 $D1=1.5$ 、 $VDD2=0.75$ とすると、

$$Pa:Pb = 1^2 : (1.5 \times 1.5^2 / 3 + (1.5/2) \times 0.75^2 \times (2/3))$$

$$\approx 1:1.41$$

となり、 $Pa < Pb$ となる。すなわち、決められた演算量を一定時間で処理する場合、同一演算量 Kt にもかかわらず、Case1の場合のように、その時間内で処理が終了可能な最小の動作周波数により、その処理時間を通してプロセッサを一定に動作させるほうが、従来のように処理時間中に動作周波数を変更する Case2 の場合よりも低消費電力であることがわかる。したがって、一定の動作電源電圧及び動作周波数でプロセッサ1を動作させながら一のフレームの符号化処理を行う本発明によれば、ブロックごとに動作電源電圧及び動作周波数が決定されるため一のフレームの符号化中に何度も動作電源電圧及び動作周波数が変更される従来技術と比較して、低消費電力化が図られることがわかる。

[0084] (第2の実施の形態)

図8は、第2の実施の形態の動画像符号化処理システムS2の動作を示した概略ブロック図である。本実施の形態の動画像符号化処理システムS2は、前記第1の実施の形態の動画像符号化処理システムS1において、第2の破綻回避手段として、無効ブロック化手段9と処理済マクロブロック数レジスタ10に替えて演算残量判断手段29を少なくとも備える。図9はその動画像符号化処理プログラムPrg2の概略フローチャートを示す図である。プログラムPrg2は、コンピュータを各手段を備える動画像符号化処理システムS2として機能させるプログラムである。動画像符号化処理システムS2は、前記動画像符号化処理システムS1とは異なり、プロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置を動作させている動作周波数及び動作電源電圧及び基板バイアス電圧の変更する動的動作電源電圧・基板バイアス電圧・動作周波数制御を行うことで、上述の問題を解決するというものである。以下、動的動作電源電圧・基板バイアス電圧・動作周波数制御について詳述する。

- [0085] 現フレームの処理に対する動作周波数及び動作電源電圧及び基板バイアス電圧は、必要演算量計算手段2により算出された値をもとに動作電源電圧・基板バイアス電圧・動作周波数決定手段3により算出される。しかし、算出された必要演算量Kpの値が実際に現フレームの処理に必要な必要演算量Kmよりも小さい場合、必要演算量Kpの値をもとに算出された動作周波数もまた、実際に現フレームの処理に必要な動作周波数より小さい値となる。
- [0086] そこで、動画像符号化処理システムS2では、前記動画像符号化処理システムS1と同様に動画像符号化手段5にN回の割り込み処理を等間隔に設けて符号化処理を一時中断し、その割り込みの時点において、演算残量判断手段29が、必要演算量計算手段2で算出された現フレームの必要演算量の残量である演算残量Kiと、動画像符号化手段5による所定のフレームの符号化処理において実際に必要な演算量の残りの演算量とを比較する。すなわち、i回目の割り込み処理では、演算残量判断手段29は、現フレームの処理に割り当てられている残りの時間Tiとプロセッサ1の動作周波数Fを測定し、演算残量Kiを数式 $Ki = Ti \times F$ で計算する。また、演算残量判断手段29は、1回目から(i-1)回目までの割り込み処理時刻T1, T2, …, T(i-1)、および、各割り込み時刻でのプロセッサの動作周波数F1, F2, …, F(i-1)を保持し、これらの値をもとに現フレームの処理開始時刻からi回目の割り込み処理発生時刻までに、現フレームの処理に費やされた演算量Kpmを数式 $Kpm = \sum \{ Fj \times (T(j+1) - Tj) \}$ を用いて計算する。ただし、F0は現フレームの処理開始時に設定されていたプロセッサの動作周波数、j=0, 1, …, (i-1)である。つぎに、演算残量判断手段29は、 $Ki \geq Kpm \times (MB - MBi) / MBi$ であるか $Ki < Kpm \times (MB - MBi) / MBi$ であるかを判断する。計算された演算残量Kiおよび現フレームの処理に費やされた演算量Kpmが数式 $Ki \geq Kpm \times (MB - MBi) / MBi$ を満たすとき、割り込み処理を終了し、符号化処理ルーチンに戻る。動画像符号化手段5は、(i+1)回目の割り込み処理発生時刻まで、現フレームの処理を継続する。演算残量判断手段29は、計算された演算残量Kiおよび現フレームの処理に費やされた演算量Kpmが数式 $Ki < Kpm \times (MB - MBi) / MBi$ を満たすとき、必要演算量計算手段2で算出された必要演算量が実際に必要な演算量よりも小さいと判断し、動作電源電圧・基板バイアス

電圧・動作周波数制御手段4に対し図5に示すプロセッサ1および(又は)局部復号メモリ6等を含んだ周辺装置がサポートする動作周波数を一段階上げ、動作周波数に応じた動作電源電圧及び基板バイアス電圧でプロセッサ1および(又は)局部復号メモリ6等を含んだ周辺装置を動作させるように指示をする(符号104)。ここで、動作周波数を二段階以上上げるように指示しても良い。なお、MBは現フレームに含まれるマクロブロックの総数、MBiはi回目の割り込み処理発生時刻における現フレームの符号化処理済みマクロブロック数を表す。以上の処理を設けることにより、現フレームの処理の途中でプロセッサの動作周波数を上げることができるために、現フレームの処理開始時にプロセッサに設定された動作周波数が、現フレームの処理に必要な演算量を実現するために必要な動作周波数より小さく設定されたとしても、破綻現象を生ずることなく現フレームの処理を終了することができるようになる。なお、動画像符号化手段5への割り込み時刻は等間隔のN回に限らず、任意の間隔のN回で行ってよい。また、数式 $Ki \geq Kpm \times (MB - MBi) / MBi$ および数式 $Ki < Kpm \times (MB - MBi) / MBi$ のかわりに、 $Ki \geq Kpm \times (BL - BLi) / BLi$ および $Ki \geq Kpm \times (BL - BLi) / BLi$ を用いててもよい。ここでBLは現フレームに含まれるブロックの総数、BLiはi回目の割り込み処理発生時刻における現フレームの処理済みブロック数を表す。なお、本システムS2についても、第1の破綻回避手段11を備えても良い。

[0087] (第3の実施の形態)

本発明の第3の実施の形態の動画像復号化処理システムS3は、符号化された動画像を復号化するシステムである。図10は動画像復号化処理システムS3の動作を示した概略ブロック図である。本実施の形態の動画像復号化処理システムS3は、動作電源電圧及び基板バイアス電圧及び動作周波数がr段階(rは2以上の整数)に用意され且つプログラムにより動作電源電圧及び基板バイアス電圧及び動作周波数を変更可能なプロセッサ1と、前記プロセッサ1の動作電源電圧及び基板バイアス電圧及び動作周波数を制御する動作電源電圧・基板バイアス電圧・動作周波数制御手段4と、前フレームの復号化データを記憶する局部復号フレームメモリ36と、プロセッサ1上で動作する演算残量判断手段39とを備える。また、局部復号メモリ36は動作電源電圧・基板バイアス電圧・動作周波数制御手段4により、プロセッサ1と同様に動

作電源電圧・基板バイアス電圧・動作周波数が制御されてもよい。プロセッサ1は、プロセッサ1上で動作する必要演算量計算手段32と、プロセッサ1上で動作する動作電源電圧・基板バイアス電圧・動作周波数決定手段3と、プロセッサ1上で動作する動画像復号化手段35とを備える。符号301は入力符号化データ、符号102は動作電源電圧・基板バイアス電圧・動作周波数指示、符号105は動作電源電圧・基板バイアス電圧・動作周波数供給、符号306は復号化データであり、第1の実施の形態と同一符号は同一機能又はそれ相当の機能を有する部分である。符号化ではなく復号化を行う点及び下記以外の点は第2の実施の形態と同様である。

- [0088] 図10に従って、動画像復号化処理システムS3の動作を説明する。以下、順次復号化されるフレームのうちこれから復号化される任意の一のフレーム(すなわち、あるフレームが復号化された時点を基準とすると次に復号化されるフレームであり、換言すると、その時点においてまだに復号化処理されておらず未来に復号化処理が行われる予定であるフレーム)を現フレーム、現フレームより前に復号化された一のフレーム(過去に復号化されたフレーム)を前フレームとし、現フレームを復号化する処理について説明するが、いずれのフレームについても同様の処理が行われる。コンピュータを動画像復号化処理システムS3として機能させる動画像復号化処理プログラムProg3は、前記動画像符号化処理プログラムProg1とほぼ同様であるが、ステップ5において、現フレームの符号化データを復号化させる動画像復号化手段35としてコンピュータ(詳しくはコンピュータに内蔵されるプロセッサ1)を機能させる。動画像復号化処理システムS3に入力されてきた入力符号化データ301は、必要演算量計算手段32に入力される。必要演算量計算手段32は符号化データ301の一フレーム分(すなわち、現フレームの符号化データ301)の発生情報量(ビット数)FBを計算し、必要計算量Kpを予測する計算を行う(必要演算量計算ステップ)。必要演算量Kpは、
$$Kp = G(FB, MVa, MVv, B, C, BR, Q, \Delta Q, I, E, P)$$
で表される。ここで、FBは現フレームもしくは前フレームの符号化データのビット数、MVaは現フレームもしくは前フレームの動きベクトルの大きさの平均値、MVvは現フレームもしくは前フレームの動きベクトルの大きさの分散、Bは現フレームもしくは前フレームの有効ブロック数、Cは現フレームもしくは前フレームの有効係数の数、BRは

現フレームもしくは前フレームのビットレート, Qは現フレームもしくは前フレームの量子化ステップサイズの平均値, ΔQ は現フレームと前フレームの量子化ステップサイズの平均値の差もしくは前フレームと前々フレームの量子化ステップサイズの平均値の差, Iは現フレームがIピクチャであるか, PピクチャであるかBピクチャであるかの種類, Eは前フレームの復号化に要した演算量, Pは必要演算量計算手段により算出された前フレームの必要演算量を表す。

- [0089] 以下、上記関数Gについて説明する。現フレームの復号化に必要な演算量は、現フレームの復号化で実行されるIDCT処理, IQ処理, VLD処理の実行回数に依存する。また、IDCT処理の実行回数は現フレームに含まれる有効ブロックの数に、IQ処理およびVLD処理の実行回数は現フレームに含まれる有効係数の数に依存する。すなわち、現フレームに含まれる有効ブロックの数や有効係数の数が大きい(小さい)場合は、復号化処理に必要な演算量は大きく(小さく)なる。したがって、上記関数Gは、B, Cが大きい(小さい)場合、Kpを大きく(小さく)設定するように構成する。
- [0090] 前フレームと現フレームの間で画像の変化が大きい(小さい)場合、動きベクトルの大きさの平均値MV_aや動きベクトルの大きさの分散MV_vが大きく(小さく)なるが、このとき現フレームの有効ブロックの数や有効係数の数は大きく(小さく)なり、符号化処理に必要な演算量は大きく(小さく)なる。したがって、上記関数Gは、MV_aやMV_vが大きい(小さく)場合、Kpを大きく(小さく)設定するように構成する。
- [0091] 現フレームがIピクチャの場合、復号化データを生成するときに予測画像と差分画像の加算を行わなくてよいので、復号化処理に必要な演算量は小さくなる。したがって、上記関数Gは、現フレームがIピクチャの場合、Kpを小さく設定するように構成する。
- [0092] 符号化データのビット数FBやフレームレートBRが大きい(小さい)場合、有効ブロックの数や有効係数の数は大きく(小さく)なる。したがって、上記関数Gは、FBやBRが大きい(小さい)場合、Kpを大きく(小さく)設定するように構成する。また、量子化ステップサイズはビットレートの制御に際して値が変更されるため、量子化ステップサイズの平均値Qや量子化ステップサイズの平均値の差 ΔQ を考慮することで、上記関数Gが算出するKpが実際に現フレームを復号化するために必要な演算量に近い値

とすることができる。

- [0093] 動画像は連続するフレーム間での相関が大きいため、MV_a, MV_v, B, C, BR, F
B, Qは現フレームと前フレームとで、近い値となる。したがって、これらのパラメータを
上記関数Gで使用する場合は、現フレームでの値を用いても良いし、前フレームでの
値を用いても良い。現フレームでの値を用いる場合は、入力符号化データを受信し
た後、このデータの一部を復号化し、値を取り出して用いる。このとき、現フレームで
の値を用いることで予測された必要演算量K_pを実際の復号化処理に必要な演算量
により近い値にすることができるメリットがある。前フレームでの値を用いる場合、現
フレームの入力符号化データを受信する前に予測された必要演算量K_pを算出するこ
とができるため、入力符号化データを受信しながら、受信済みのデータ分について復
号化処理を同時に行うことができるメリットがある。
- [0094] また、動画像は連続するフレーム間での相関が大きいため、現フレームの復号化処
理に必要演算量は前フレームの復号化処理で実際に必要であった演算量Eと近い
値となる。さらに、必要演算量計算手段で予測される必要演算量が実際の復号化処
理に要した演算理容に近い値となる場合、P≈Eとなる。したがって、EやPを考慮す
ることで、上記関数Gが算出するK_pを、実際に現フレームを復号化するために必要
な演算量に近い値とすることができる。
- [0095] 必要演算量計算手段32においては、これらの要素のうち一つの要素のみを使用し
ても良いし、複数組み合わせて使用しても良い。すなわち、これらの複数の要素は現
フレームの復号化処理のために必要な必要演算量に影響を与える要素であるため、
必要演算量計算手段32が、これらの要素に応じて必要演算量K_p(サイクル)を増減
させるように計算を行うことにより、必要演算量計算手段32により計算される必要演
算量K_pが現実に復号化処理を行ったときの演算量により近い値となる。
- [0096] 動作電源電圧・基板バイアス電圧・動作周波数計算手段3(動作電源電圧・基板バ
イアス電圧・動作周波数決定ステップ)及び動作電源電圧・基板バイアス電圧・動作
周波数制御手段4は、前記第1の実施の形態と同様である。動画像復号化手段35
は、現フレームの入力符号化データ301を復号化して復号化データ306を生成する
(動画像復号化ステップ)。動画像復号化手段35による復号化処理に際しては、動

作電源電圧・基板バイアス電圧・動作周波数制御手段4により一定の動作電源電圧及び基板バイアス電圧及び動作周波数でプロセッサ1を動作させながら復号化処理が行われる。フレームごとに、そのフレームの復号化処理の前に必要な必要演算量が算出され、その必要演算量に応じた一定の動作周波数及び動作電源電圧及び基板バイアス電圧でプロセッサを動作させながらそのフレームの復号化が行われるため、フレームを分割して成る所定数のブロックごとに動作周波数及び動作電源電圧を変更する従来技術と比較して、低消費電力化を図ることができる。復号化データ306は、携帯電話やパソコンの画像表示部に動画像として表示されたり、ハードディスク等の記憶媒体に記憶されたりする。

[0097] 動画像復号化処理システムS3においても、第2の破綻回避手段として演算残量判断手段39を備える。演算残量判断手段39は、上記第2の実施の形態とほぼ同様であるが、符号化処理の演算量ではなく復号化処理の演算量について判断する点で異なる。演算残量判断手段39により、破綻現象を回避することができる。なお、上記第1の実施の形態のように、第1の破綻回避手段を備えるようにすることも可能である。なお、復号化処理において無効ブロック化処理は行わない。

[0098] 本発明の動画像符号化処理システムは、第1の破綻回避手段11と、第2の破綻回避手段としての無効ブロック化手段9と、第2の破綻回避手段としての演算残量判断手段29, 39をそれぞれ単独で備えても良く、復号化処理システムは、第1の破綻回避手段11と演算残量判断手段39をそれぞれ単独で備えてもよく、また、各手段を適宜組み合わせて備えても良い。たとえば、第1と各第2の破綻回避手段を総て備えるようにし、第1の破綻回避手段11により必要演算量を増加させても破綻を回避できない場合は、第2の破綻回避手段としての演算残量判断手段29, 39により動作周波数を上げ、その動作周波数に適する動作電源電圧および基板バイアス電圧で動作させ、さらに、それでも破綻現象を回避不可能な場合は、第2の破綻回避手段としての無効ブロック化手段9により符号化処理を簡易に行うなどの破綻回避処理を行うようにしても良い。また、上記動画像符号化又は復号化処理プログラムは、プログラムと同様の機能を備えるハードウェアで実現されても良い。

[0099] (第4の実施の形態)

上記第1の実施の形態乃至第3の実施の形態は、動作電源電圧、基板バイアス電圧及び動作周波数を制御するものであるが、本実施の形態は、基板バイアス電圧及び動作周波数を制御することにより、低消費電力化を図るものである。図11は、本実施の形態の動画像符号化システムS4の動作を示した概略ブロック図であり、図12はプロセッサ41の基板バイアス電圧・動作周波数の関係を示す概念図である。本実施の形態の動画像符号化処理システムS4は、上記第1の実施の形態のプロセッサ1に代えて、基板バイアス電圧Vbn, Vbp及び動作周波数がr段階(rは2以上の整数)に可変であり(すなわち、r段階の基板バイアス電圧Vbn, Vbp及び動作周波数で動作可能であり)且つプログラムにより基板バイアス電圧及び動作周波数を変更可能なプロセッサ41とする。また、前記動作電源電圧・基板バイアス電圧・動作周波数制御手段4に代えて、プロセッサ1の基板バイアス電圧及び動作周波数を制御する基板バイアス電圧・動作周波数制御手段44とする。プロセッサ1、又は、プロセッサ1及び周辺装置(局部部復号メモリ6や入力フレームメモリ7等)は基板バイアス電圧・動作周波数制御手段42により基板バイアス電圧・動作周波数が制御される。

- [0100] 基板バイアス電圧・動作周波数決定手段43は、 $F(n) > F_e$ であり、且つ $F(n-1) < F_e$ となる動作周波数 $F(n)$ を現フレームの符号化処理を行う動作周波数として選択する計算を行い、その動作周波数 $F(n)$ に適する基板バイアス電圧 $V_{bn}(n)$, $V_{bp}(n)$ を選択する計算を行い、プロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置をその動作周波数 $F(n)$ と基板バイアス電圧 $V_{bn}(n)$, $V_{bp}(n)$ で動作させるよう、基板バイアス電圧・動作周波数を基板バイアス電圧・動作周波数制御手段44に指示する(符号402)。基板バイアス電圧・動作周波数制御手段44は、基板バイアス電圧・動作周波数計算手段43から指示を受けた基板バイアス電圧 $V_{bn}(n)$, $V_{bp}(n)$ 及び動作周波数 $F(n)$ の値をプロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置に供給し(符号405)、その基板バイアス電圧 $V_{bn}(n)$, $V_{bp}(n)$ 及び動作周波数 $F(n)$ でプロセッサ1を一定に動作させる制御を行う。これにより、プロセッサ1および(又は)局部復号メモリ6等を含めた周辺装置は、一定の基板バイアス電圧 $V_{bn}(n)$, $V_{bp}(n)$ 及び動作周波数 $F(n)$ で動作することになる。その他の点については、第1の実施の形態とほぼ同様である。

[0101] 第2の実施の形態及び第3の実施の形態についても、動作電源電圧を制御することなく、基板バイアス電圧及び動作周波数を制御するシステムとしても良い。また、演算残量判断手段(図示せず)を備える場合は、基板バイアス電圧・動作周波数制御手段44に対し図12に示すプロセッサ1および(又は)局部復号メモリ6等を含んだ周辺装置がサポートする動作周波数を一段階上げ、動作周波数に応じた基板バイアス電圧でプロセッサ1および(又は)局部復号メモリ6等を含んだ周辺装置を一定に動作させるように指示をする。

[0102] (実施例1)

第1の実施の形態の動画像符号化システムS1についての実施例1を説明する。符号化の対象として75枚のフレームから成る動画像データを使用し、符号化されるフレームとして32番目のフレームを例に説明する。各フレームは144行176列の画素配列で構成されている。符号化処理としては、MPEG-4を使用する。図13は、動画像符号化システムS1のプロセッサ1における動作周波数と動作電源電圧、基板バイアス電圧の関係の例を表している。動画像符号化システムS1のプロセッサ1は、動作周波数F=50MHz～250MHz、動作電源電圧VDD=0.5V～1.0V、基板バイアス電圧Vbn=-1.0V～0.5V、Vbp=1.5V～0.5Vであり、5段階に可変となっている。

[0103] まず、動画像符号化システムS1は、入力フレームメモリ7にアクセスして、31番目のフレームを取得し、必要演算量計算手段2により、そのフレームの必要演算量Kpを計算する。必要演算量Kpは、具体的には、まず、前フレームとして30番目のフレームを使用し下記の数式により差分絶対値和Zを算出する。

$$Z = \sum |X_{ij} - Y_{ij}| = 50705$$

次に、現フレームである31番目のフレームのアクティビティ量Wを下記の数式により算出する。

$$\text{水平方向 } Wh = \sum |X(i,j) - X(i-1,j)| = 137412$$

$$\text{垂直方向 } Wv = \sum |X(i,j) - X(i,j-1)| = 109176$$

さらに、前フレームのマクロブロックマッチング回数M=102、前フレームの平均量子化ステップサイズ(量子化ステップサイズの平均値)Qprev=3、前フレームの有効

ブロック数B=98、前フレームの有効係数の数C=610、前フレームの符号化に実際に要した処理量S=10022474、現フレームの符号化ビットレートBR=65536を得る。また、前フレームの量子化ステップサイズの平均値とその一つ前の20番目のフレームの量子化ステップサイズの平均値の差 $\Delta Q_{prev}=0$ を算出する。また、前フレームの実際の発生ビット数D=56797を得る。つぎに、各要素を使用して下記の式により必要演算量Kpを算出する。

$$K_p = j + \alpha M + \beta B + \gamma C + \delta Z + \epsilon \Delta Q_{prev}$$

以上より、本実施例1では必要演算量Kp=10315571が得られる。

- [0104] さらに、各要素から算出された上記必要演算量Kp=10315571から下記の式で必要演算量Kpを増加させる計算を行う。なお、ここでは上記式Kp=G(Z)×mを用いた場合を例に説明する。

$$K_{pf} = 10315571 \times 1.1 = 11347129$$

つぎに、下記の式により動作周波数を計算する。

$$F_e = K_{pf} / T_e = 11347129 / (1 / 15) = 171\text{MHz}$$

$F(n) > F_e$ であり且つ $F(n-1) < F_e$ となる $F(n)$ を計算し、プロセッサ1の5段階に可変な動作周波数のうち、動作周波数 $F(4)=200\text{MHz}$ 及びこれに適する動作電源電圧 $VDD(4)=0.9\text{V}$ 及び基板バイアス電圧 $Vbn(4)=0.2\text{V}$ 、 $Vbp(4)=0.7\text{V}$ を選択する。少なくともプロセッサ1を動作周波数 $F=200\text{MHz}$ 及び動作電源電圧 $VDD=0.9\text{V}$ 及び基板バイアス電圧 $Vbn=0.2\text{V}$ 、 $Vbp=0.7\text{V}$ で動作させるように、動作電源電圧・基板バイアス電圧・動作周波数制御手段4に指示する。動作電源電圧・基板バイアス電圧・動作周波数制御手段4は、少なくともプロセッサ1を動作電源電圧 $F=200\text{MHz}$ 及び動作電源電圧 $VDD=0.9\text{V}$ 及び基板バイアス電圧 $Vbn=0.2\text{V}$ 、 $Vbp=0.7\text{V}$ で一定に動作させる制御を行う。動画像符号化手段5は、入力フレームメモリ7からフレームFを取得し、上記動作周波数 $F=200\text{MHz}$ 及び動作電源電圧 $VDD=0.9\text{V}$ 及び基板バイアス電圧 $Vbn=0.2\text{V}$ 、 $Vbp=0.7\text{V}$ で一定に動作させられた状態のプロセッサ1を使用して、符号化処理を行い符号化データを生成する。

- [0105] さらに、符号化処理ルーチンを実行している際に、無効ブロック化手段9は、下記の

数式により割り込み時間を算出し、割り込みを行う。

$$\begin{aligned} Ti &= Tf - Ks \times MB / F \\ &= 0.06666 - 37 \times 99 / (200000000) \\ &\approx 0.06664 \end{aligned}$$

さらに無効ブロック化手段9は、この割り込みのタイミングにおいて $Mbi < MB$ であるか否かを判断する。本実施例1では、 $Ti = 0.06664$ のタイミングでは $Mbi < MB$ であり、現フレームの符号化処理が終了していなかったので、残りのマクロブロック全てを無効ブロックとして処理を行い、符号化処理ルーチンに戻る。ここで Ks は1つのマクロブロックを無効ブロックとして処理するために必要なサイクル数である。

[0106] (実施例2)

第2の実施の形態の動画像符号化システムS2についての実施例2を説明する。本実施例2では、符号化処理において4回の割り込みを行うように設定されている。演算残量判断手段29は、第1回目と第2回目の割り込み時において、 $Ki = Ti \times F$ 及び $Kpm = \sum Fj \times (T(j+1) - Tj)$ を計算し、さらに実際に必要な演算量の残量として $Kp m \times (MB - MBi)$ を計算し、 $Ki \geq Kpm \times (MB - MBi) / MBi$ であるか $Ki < Kpm \times (MB - MBi) / MBi$ であるかを判断する。本実施例2では $K1 \geq Kpm \times (MB - MB1) / MB1$, $K2 \geq Kpm \times (MB - MB2) / MB2$ であったため、割り込み処理を終了し、第3回目の割り込みまで動画像符号化手段5が符号化処理を続行する。つぎの割り込みである第3回目の割り込み時においても同様に計算及び判断を行う。本実施例2では $K3 < Kpm \times (MB - MB3) / MB3$ であったため、動作周波数及び動作電源電圧及び基板バイアス電圧を一段階上げた周波数 $F(5) = 250\text{MHz}$ 及び電圧 $VD D(5) = 1.0V$, $Vbn(5) = 0.5V$, $Vbp(5) = 0.5V$ を動作周波数及び動作電源電圧及び基板バイアス電圧として、動作電源電圧・基板バイアス電圧・動作周波数制御手段4に指示する。

請求の範囲

- [1] 半導体基板にMOSトランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手段を有し、前記プロセッサは動作周波数及び基板バイアス電圧が制御可能である動画像符号化又は復号化処理システムにおいて、
現フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段と、現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数を決定する基板バイアス電圧・動作周波数決定手段とを備え、
前記プロセッサは、前記基板バイアス電圧・動作周波数決定手段により決定された基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、前記動画像符号化又は復号化手段が現フレームの符号化又は復号化処理を行うことを特徴とする動画像符号化又は復号化処理システム。
- [2] 半導体基板にMOSトランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手段を有し、前記プロセッサは動作周波数、基板バイアス電圧及び動作電源電圧が制御可能である動画像符号化又は復号化処理システムにおいて、
現フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段と、現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧、基板バイアス電圧及び動作周波数を決定する動作電源電圧・基板バイアス電圧・動作周波数決定手段とを備え、
前記プロセッサは、前記動作電源電圧・基板バイアス電圧・動作周波数決定手段により決定された基板バイアス電圧、動作電源電圧及び動作周波数で一定に動作しながら、前記動画像符号化又は復号化手段が現フレームの符号化又は復号化処理を行うことを特徴とする動画像符号化又は復号化処理システム。
- [3] 前記プロセッサは動作周波数がr段階(rは2以上の整数)に可変であり、前記基板

バイアス電圧・周波数決定手段は、前記必要演算量計算手段により算出された前記現フレームの必要演算量Kpと、現フレームの処理に割り当てられる時間Teとから、時間Teで必要演算量Kpを処理するに必要な動作周波数Feを $Fe = Kp / Te$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数Fe以上であり且つその動作周波数Feに最も近い動作周波数を選択するとともに、選択された動作周波数に適する基板バイアス電圧を決定することを特徴とする請求項1に記載の動画像符号化又は復号化処理システム。

- [4] 前記プロセッサは動作周波数がr段階(rは2以上の整数)に可変であり、前記動作電源電圧・基板バイアス電圧・周波数決定手段は、前記必要演算量計算手段により算出された前記現フレームの必要演算量Kpと、現フレームの処理に割り当てられる時間Teとから、時間Teで必要演算量Kpを処理するに必要な動作周波数Ffを $Ff = Kp / Te$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数Fe以上であり且つその動作周波数Feに最も近い動作周波数を選択するとともに、選択された動作周波数に適する動作電源電圧及び基板バイアス電圧を決定することを特徴とする請求項2に記載の動画像符号化又は復号化処理システム。
- [5] 前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さい場合に起きたる破綻現象を回避する破綻回避手段を備えることを特徴とする請求項1乃至請求項4のいずれか1項に記載の動画像符号化又は復号化処理システム。
- [6] 前記破綻回避手段として、前記必要演算量計算手段により算出された必要演算量を所定値だけ増加させる第1の破綻回避手段を備えることを特徴とする請求項5に記載の動画像符号化又は復号化処理システム。
- [7] 前記第1の破綻回避手段は、必要演算量計算手段により算出された必要演算量をm倍(mは1以上の実数)又は必要演算量に0より大きい実数nを加算することを特徴とする請求項6記載の動画像符号化又は復号化処理システム。
- [8] 前記破綻回避手段として、前記必要演算量計算手段で算出された必要演算量が、前記動画像符号化又は復号化手段による符号化又は復号化処理に実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する

処理を行う第2の破綻回避手段を備えることを特徴とする請求項5に記載の動画像符号化又は復号化処理システム。

- [9] 前記第2の破綻回避手段として、所定のタイミングで動画像符号化手段による符号化処理に割り込みを行い、符号化がなされていないマクロブロックがある場合は、当該マクロブロックに対して無効ブロック化処理を行う無効ブロック化手段を少なくとも備えることを特徴とする請求項8記載の動画像符号化処理システム。
- [10] 前記第2の破綻回避手段として、所定のタイミングで動画像符号化又は復号化手段による符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段で算出された現フレームの必要演算量の残量が、符号化又は復号化処理手段による現フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する基板バイアス電圧でプロセッサを動作させる演算残量判断手段を少なくとも備えることを特徴とする請求項8記載の動画像符号化又は復号化処理システム。
- [11] 前記第2の破綻回避手段として、所定のタイミングで動画像符号化又は復号化手段による符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段で算出された現フレームの必要演算量の残量が、符号化又は復号化処理手段による現フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する動作電源電圧及び基板バイアス電圧でプロセッサを動作させる演算残量判断手段を少なくとも備えることを特徴とする請求項8記載の動画像符号化又は復号化処理システム。
- [12] 連続する複数のフレームのうち前記現フレームより前に符号化処理されるフレームを前フレームとすると、動画像符号化処理を行う場合において、前記必要演算量計算手段は、現フレームと前フレームとの動き量、現フレームのアクティビティの量、前フレームのアクティビティの量、前フレームの量子化ステップサイズの平均値、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差、前フレームのマクロブロックマッチング回数、前フレームの有効ブロック数、前フレームの有効係数の数、前フレームの符号化に実際に要した演算量、

前フレームの発生ビット数、現フレームの符号化ビットレート、現フレームについてフレーム内符号化又はフレーム間符号化のいずれであるかの種類、必要演算量計算手段により算出された前フレームの必要演算量のうち、一つ以上の要素を使用して必要演算量を計算することを特徴とする請求項1乃至請求項11のいずれか1項に記載の動画像符号化又は復号化処理システム。

[13] 連続する複数のフレームのうち前記現フレームより前に復号化処理されるフレームを前フレームとすると、動画像復号化処理を行う場合において、前記必要演算量計算手段は、現フレームの符号化データのビット数、前記現フレームがフレーム内符号化されたものであるか又はフレーム間符号化されたものであるかの種類、現フレーム若しくは前フレームの動きベクトルの大きさの平均値、現フレーム若しくは前フレームの動きベクトルの大きさの分散、現フレーム若しくは前フレームの有効ブロック数、現フレーム若しくは前フレームの有効係数の数、現フレーム若しくは前フレームのビットレート、現フレーム若しくは前フレームの符号量、現フレーム若しくは前フレームの量子化ステップサイズの平均値、量子化ステップサイズの平均値の差(現フレームと1つ前のフレームの量子化ステップサイズの差、もしくは1つ前のフレームの量子化ステップサイズと2つ前のフレームの量子化ステップサイズの差)、前フレームの復号化に実際に要した演算量、必要演算量計算手段により算出された前フレームの必要演算量のうち一つ以上の要素を使用して必要演算量を計算することを特徴とする請求項1乃至請求項11のいずれか1項に記載の動画像符号化又は復号化処理システム。

[14] 半導体基板にMOSトランジスタが集積されたプロセッサが連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数及び基板バイアス電圧が制御可能である動画像符号化又は復号化処理方法において、

現フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算ステップと、現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数を決定する基板バイアス電圧・動作周波数決定ステップと、

前記プロセッサが、前記基板バイアス電圧・動作周波数決定ステップにおいて決定

された基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、現フレームの符号化又は復号化処理を行う動画像符号化又は復号化ステップとを備えることを特徴とする動画像符号化又は復号化処理方法。

[15] 半導体基板にMOSトランジスタが集積されたプロセッサが連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数、基板バイアス電圧及び動作電源電圧が制御可能である動画像符号化又は復号化処理方法において、

現フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算ステップと、現フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧、基板バイアス電圧、及び、動作周波数を決定する動作電源電圧・基板バイアス電圧・動作周波数決定ステップと、

前記プロセッサが、前記動作電源電圧・基板バイアス電圧・動作周波数決定ステップにおいて決定された動作電源電圧、基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、現フレームの符号化又は復号化処理を行う動画像符号化又は復号化ステップとを備えることを特徴とする動画像符号化又は復号化処理方法。

[16] 前記プロセッサは動作周波数がr段階(rは2以上の整数)に可変であり、前記基板バイアス電圧・周波数決定ステップは、前記必要演算量計算ステップにより算出された前記現フレームの必要演算量Kpと、現フレームの処理に割り当てられる時間Teとから、時間Teで必要演算量Kpを処理するに必要な動作周波数Feを $Fe = Kp / Te$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数Fe以上であり且つその動作周波数Feに最も近い動作周波数を選択するとともに、選択された動作周波数に適する基板バイアス電圧を決定することを特徴とする請求項14に記載の動画像符号化又は復号化処理方法。

[17] 前記プロセッサは動作周波数がr段階(rは2以上の整数)に可変であり、前記動作電源電圧・基板バイアス電圧・周波数決定ステップは、前記必要演算量計算ステップにより算出された前記現フレームの必要演算量Kpと、現フレームの処理に割り当て

られる時間Teとから、時間Teで必要演算量Kpを処理するに必要な動作周波数Ffを
 $F_f = K_p / T_e$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必
要な動作周波数Fe以上であり且つその動作周波数Feに最も近い動作周波数を選
択するとともに、選択された動作周波数に適する動作電源電圧及び基板バイアス電
圧を決定することを特徴とする請求項15に記載の動画像符号化又は復号化処理方
法。

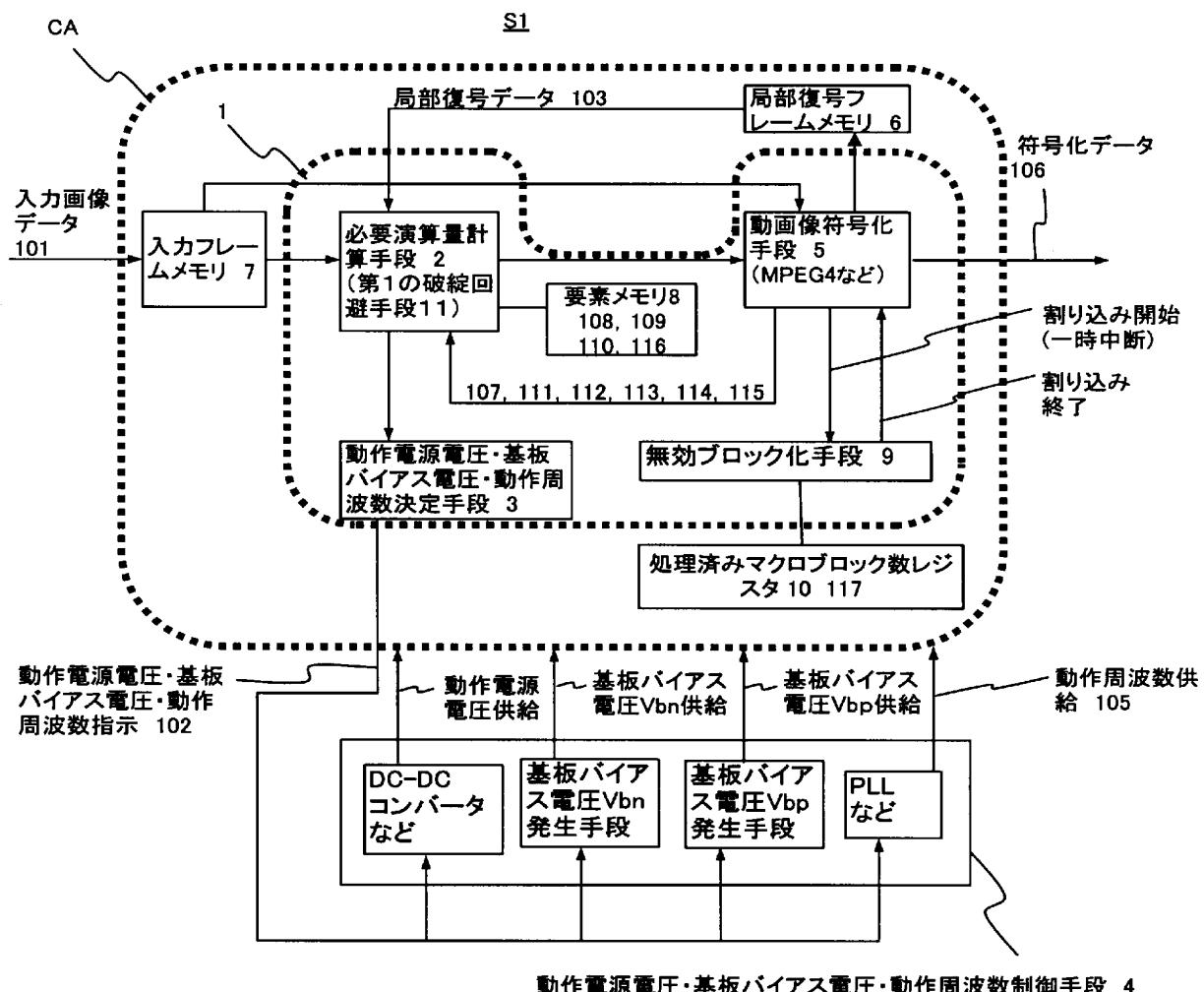
- [18] 前記必要演算量計算ステップで算出された必要演算量が実際に必要な演算量より
も小さい場合に起きた破綻現象を回避する破綻回避ステップを備えることを特徴とす
る請求項14乃至請求項17のいずれか1項に記載の動画像符号化又は復号化処理
方法。
- [19] 前記破綻回避ステップとして、前記必要演算量計算ステップにより算出された必要
演算量を所定値だけ増加させる第1の破綻回避ステップを備えることを特徴とする請
求項18に記載の動画像符号化又は復号化処理方法。
- [20] 前記第1の破綻回避ステップは、必要演算量計算ステップにより算出された必要演
算量をm倍(mは1以上の実数)又は必要演算量に0より大きい実数nを加算すること
を特徴とする請求項19記載の動画像符号化又は復号化処理方法。
- [21] 前記破綻回避ステップとして、前記必要演算量計算ステップで算出された必要演
算量が、前記動画像符号化又は復号化ステップにおける符号化又は復号化処理に
実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現
象を回避する処理を行う第2の破綻回避ステップを備えることを特徴とする請求項18
に記載の動画像符号化又は復号化処理方法。
- [22] 前記第2の破綻回避ステップとして、所定のタイミングで動画像符号化ステップにお
ける符号化処理に割り込みを行い、符号化がなされていないマクロブロックがある場
合は、当該マクロブロックに対して無効ブロック化処理を行う無効ブロック化ステップ
を少なくとも備えることを特徴とする請求項21記載の動画像符号化処理方法。
- [23] 前記第2の破綻回避ステップとして、所定のタイミングで動画像符号化又は復号化
ステップにおける符号化又は復号化処理に割り込みを行い、その割り込み時点にお
いて、必要演算量計算ステップで算出された現フレームの必要演算量の残量が、符

号化又は復号化処理ステップによる現フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する基板バイアス電圧でプロセッサを動作させる演算残量判断ステップを少なくとも備えることを特徴とする請求項21記載の動画像符号化又は復号化処理方法。

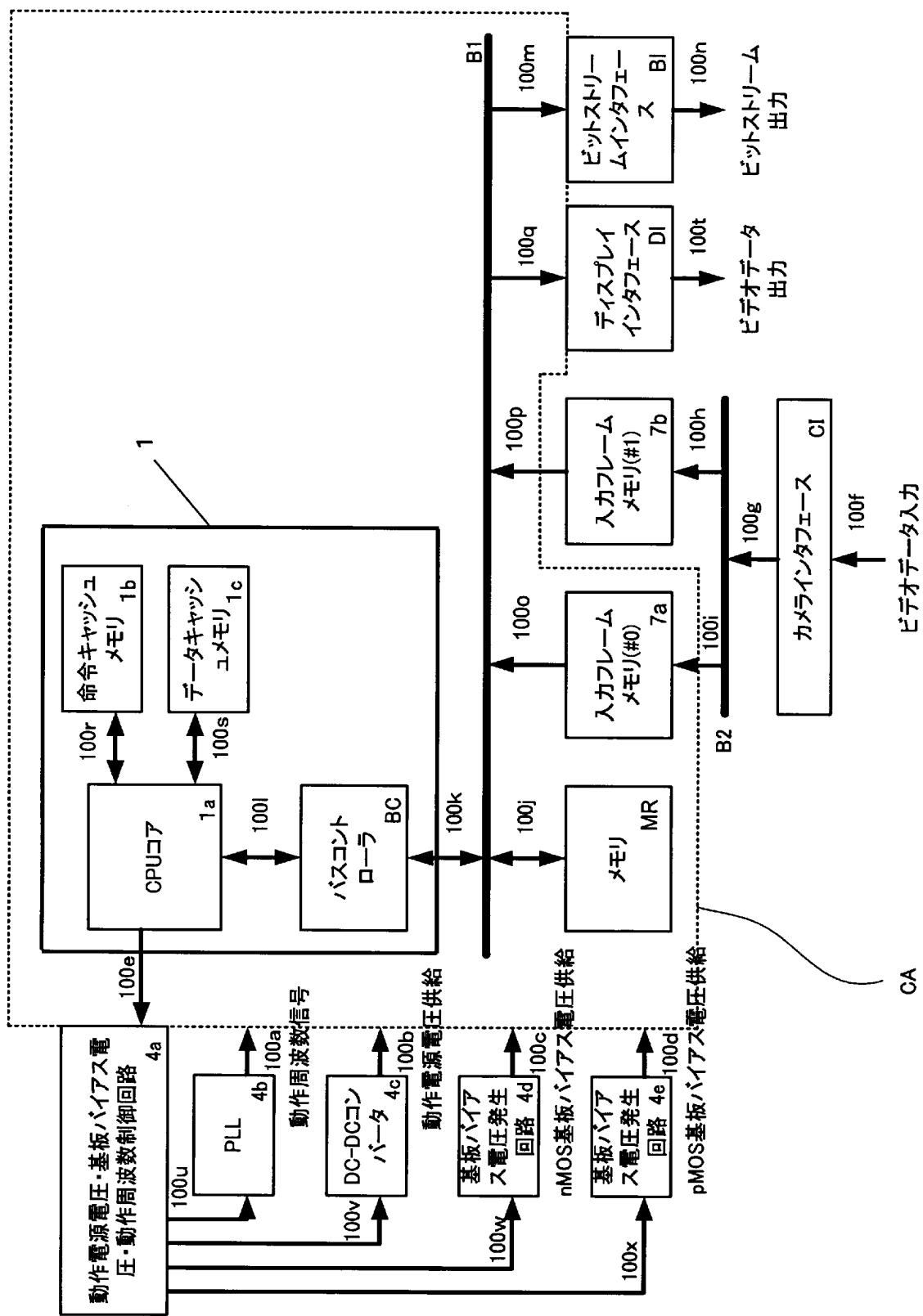
- [24] 前記第2の破綻回避ステップとして、所定のタイミングで動画像符号化又は復号化ステップにおける符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算ステップで算出された現フレームの必要演算量の残量が、符号化又は復号化処理ステップによる現フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する動作電源電圧及び基板バイアス電圧でプロセッサを動作させる演算残量判断ステップを少なくとも備えることを特徴とする請求項21記載の動画像符号化又は復号化処理方法。
- [25] 連続する複数のフレームのうち前記現フレームより前に符号化処理されるフレームを前フレームとすると、動画像符号化処理を行う場合において、前記必要演算量計算ステップは、現フレームと前フレームとの動き量、現フレームのアクティビティの量、前フレームのアクティビティの量、前フレームの量子化ステップサイズの平均値、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差、前フレームのマクロブロックマッチング回数、前フレームの有効ブロック数、前フレームの有効係数の数、前フレームの符号化に実際に要した演算量、前フレームの発生ビット数、現フレームの符号化ビットレート、現フレームについてフレーム内符号化又はフレーム間符号化のいずれであるかの種類、必要演算量計算ステップにおいて算出された前フレームの必要演算量のうち、一つ以上の要素を使用して必要演算量を計算することを特徴とする請求項14乃至請求項24のいずれか1項に記載の動画像符号化又は復号化処理方法。
- [26] 連続する複数のフレームのうち前記現フレームより前に復号化処理されるフレームを前フレームとすると、動画像復号化処理を行う場合において、前記必要演算量計算ステップは、現フレームの符号化データのビット数、前記現フレームがフレーム内

符号化されたものであるか又はフレーム間符号化されたものであるかの種類、現フレーム若しくは前フレームの動きベクトルの大きさの平均値、現フレーム若しくは前フレームの動きベクトルの大きさの分散、現フレーム若しくは前フレームの有効ブロック数、現フレーム若しくは前フレームの有効係数の数、現フレーム若しくは前フレームのビットレート、現フレーム若しくは前フレームの符号量、現フレーム若しくは前フレームの量子化ステップサイズの平均値、量子化ステップサイズの平均値の差(現フレームと1つ前のフレームの量子化ステップサイズの差、もしくは1つ前のフレームの量子化ステップサイズと2つ前のフレームの量子化ステップサイズの差)、前フレームの復号化に実際に要した演算量、必要演算量計算ステップにおいて算出された前フレームの必要演算量のうち一つ以上の要素を使用して必要演算量を計算することを特徴とする請求項14乃至請求項24のいずれか1項に記載の動画像符号化又は復号化処理方法。

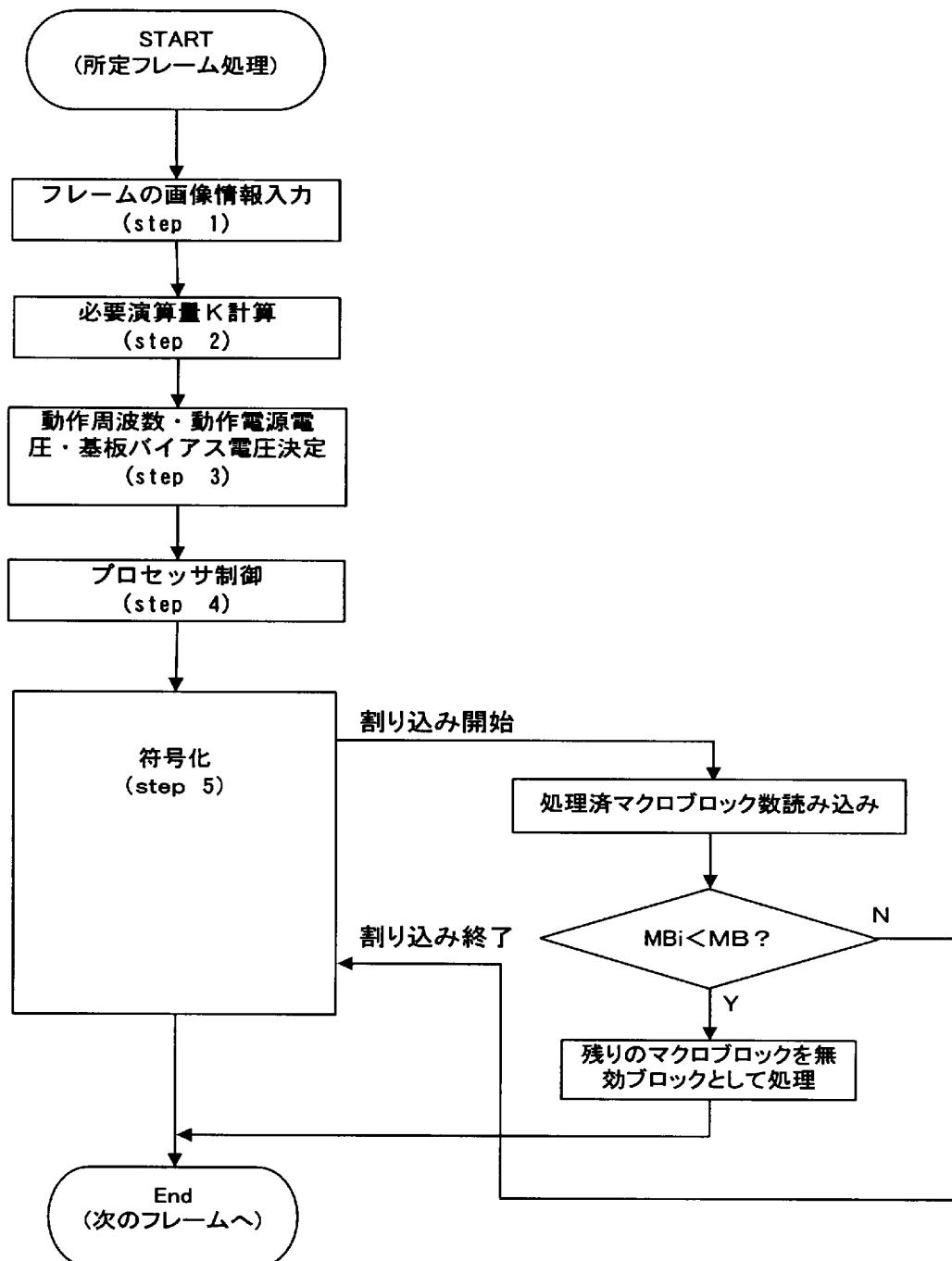
[図1]



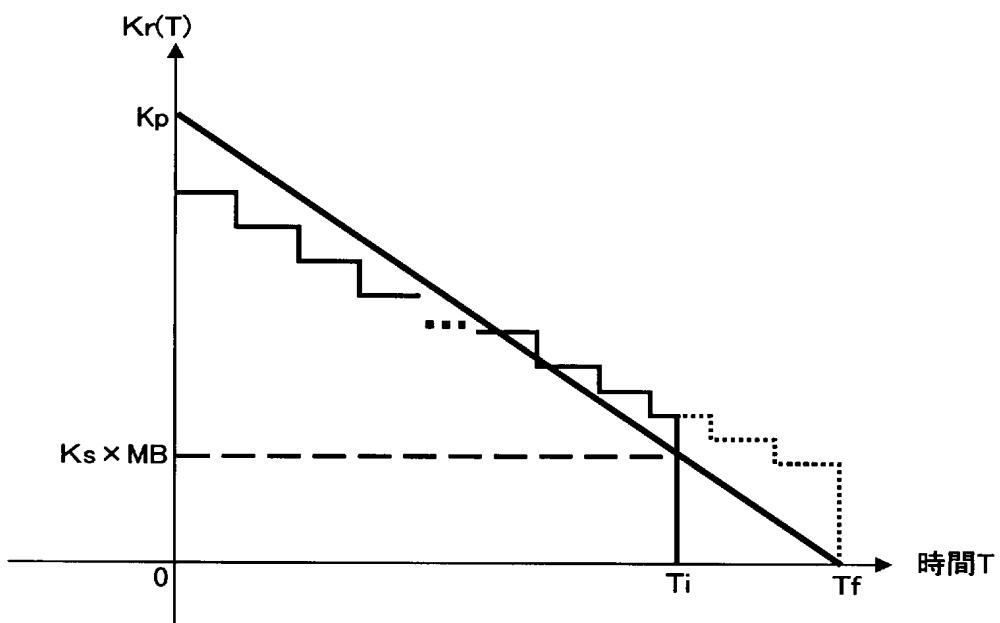
[図2]



[図3]



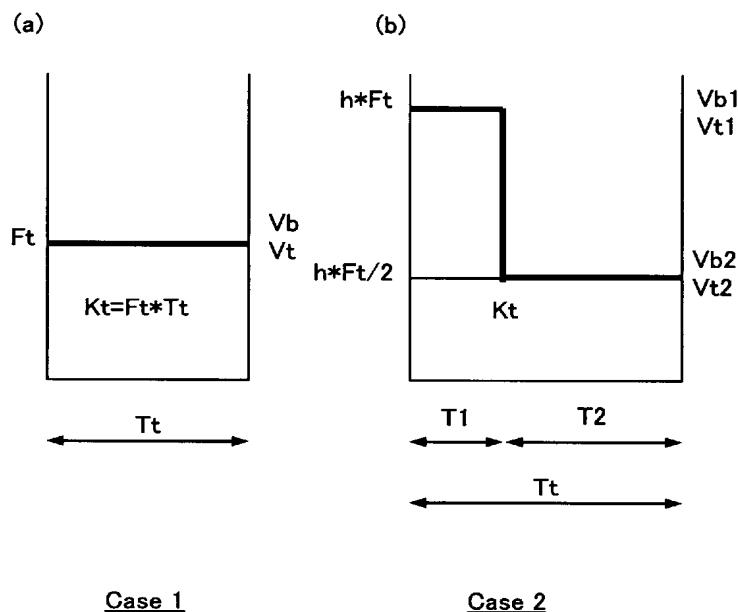
[図4]



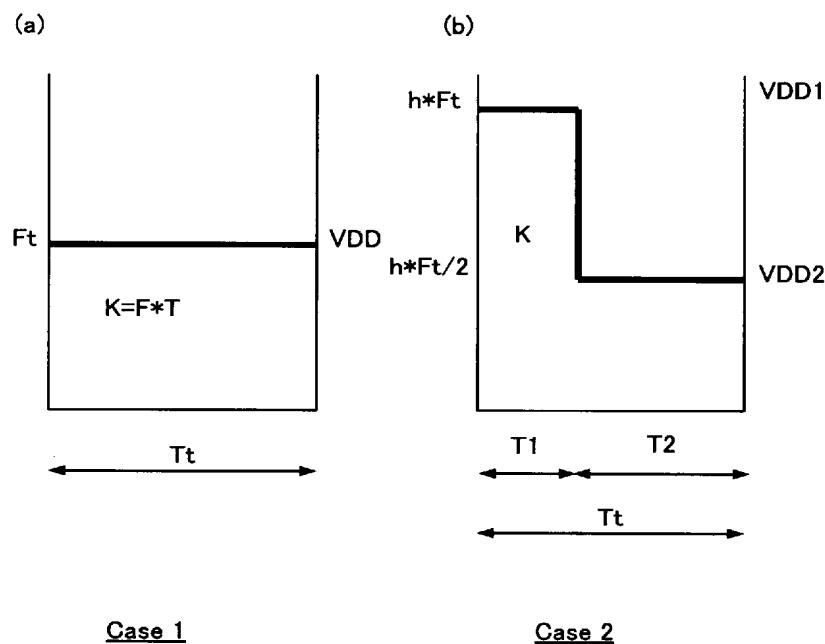
[図5]

動作周波数 (サイクル/秒)	動作電源電圧 (VDD)	n-チャネルMOSトランジスタの基板バイアス電圧 (Vbn)	p-チャネルMOSトランジスタの基板バイアス電圧 (Vbp)
f (1)	VDD (1)	Vbn (1)	Vbp (1)
f (2) (>f (1))	VDD (2)	Vbn (2)	Vbp (2)
f (3) (>f (2))	VDD (3)	Vbn (3)	Vbp (3)
.	.	.	.
f (n) (>f (n-1))	VDD (n)	Vbn (n)	Vbp (n)
.	.	.	.
f (r) (>f (r-1))	VDD (r)	Vbn (r)	Vbp (r)

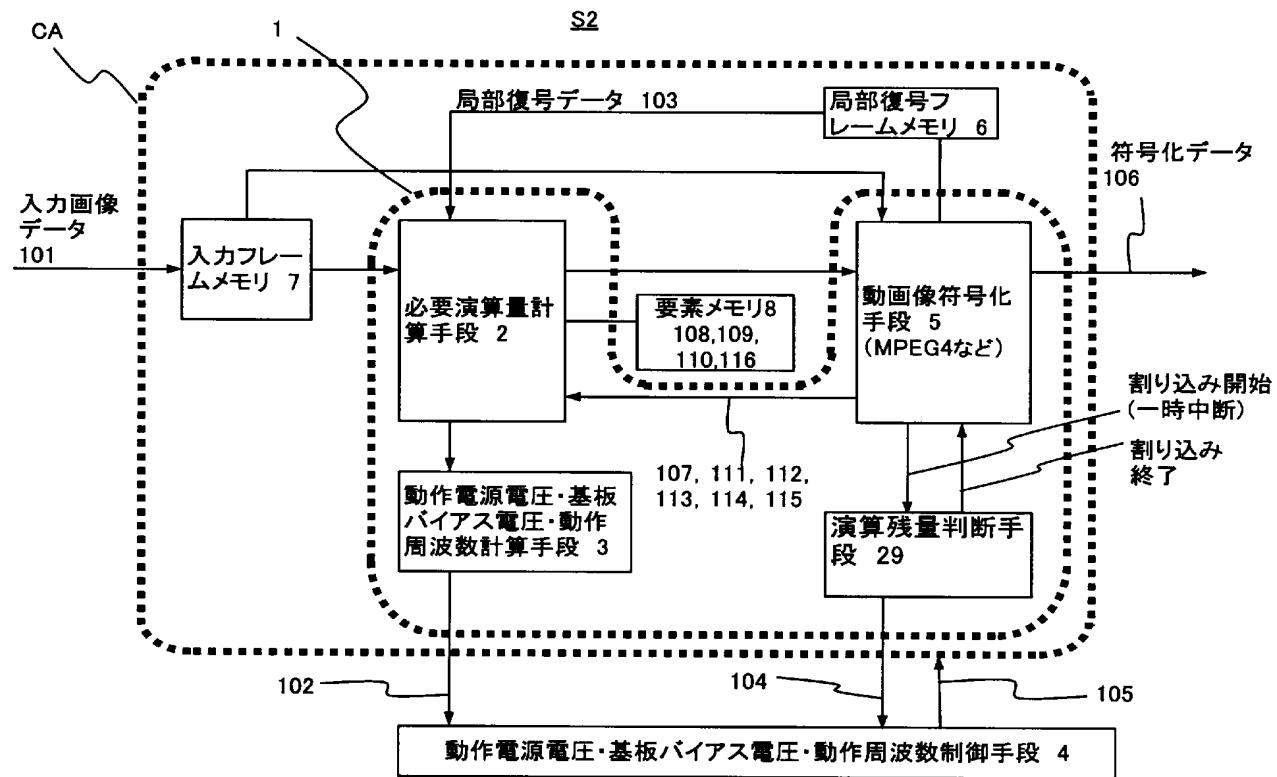
[図6]



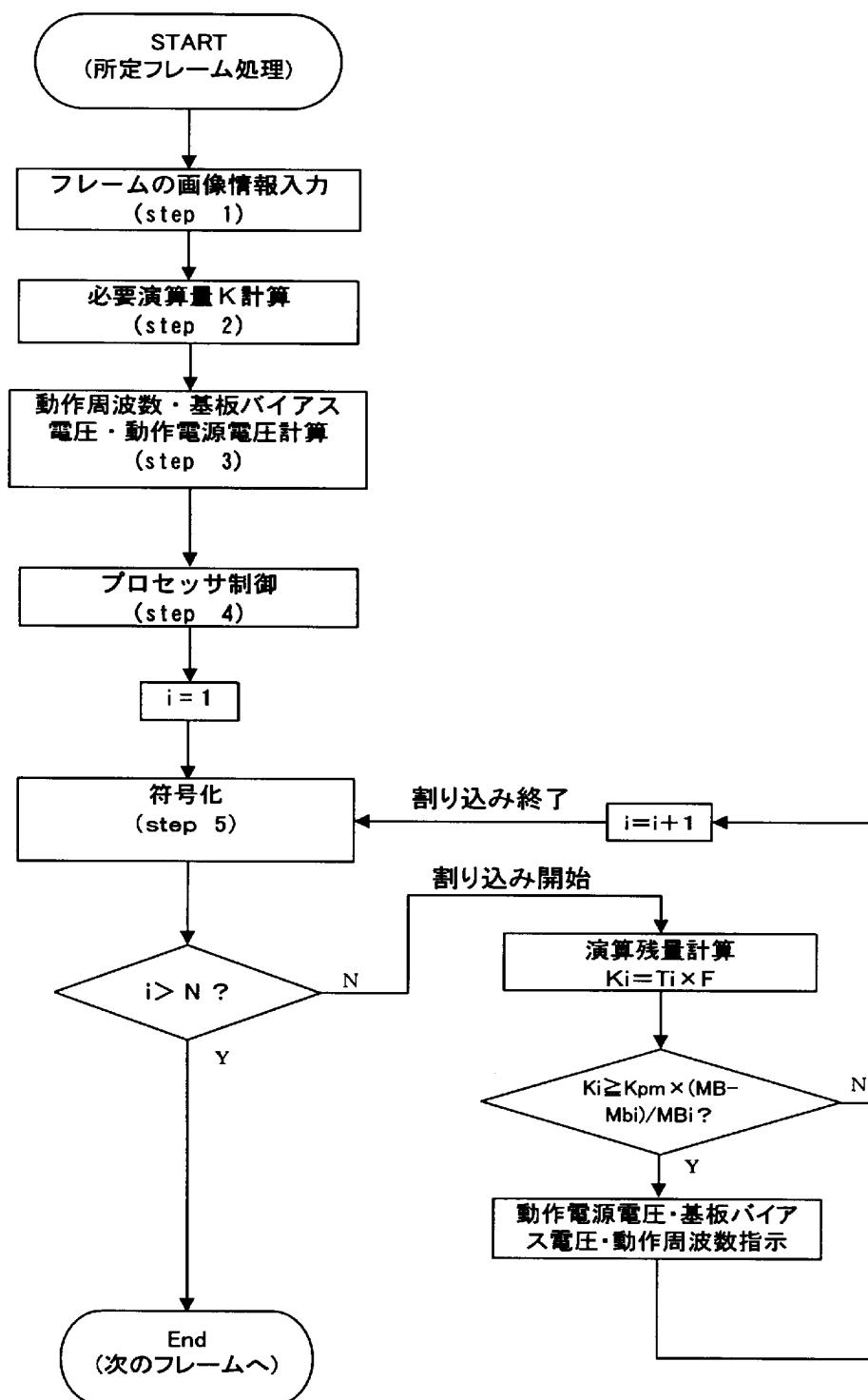
[図7]



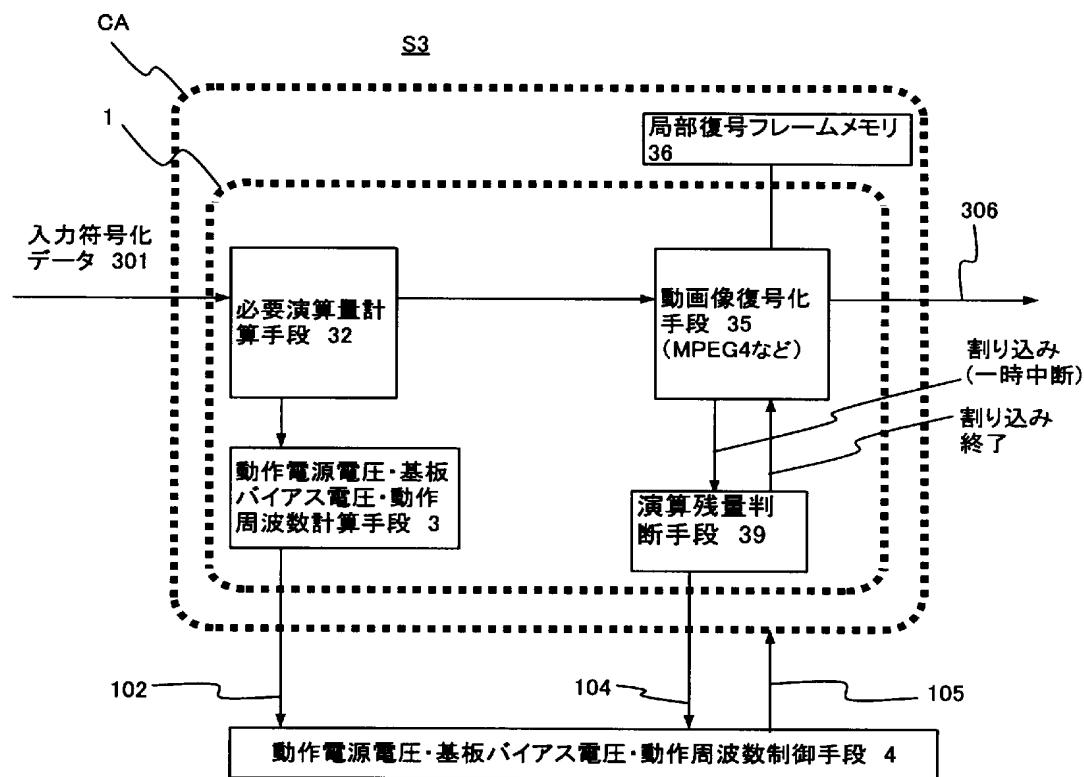
[図8]



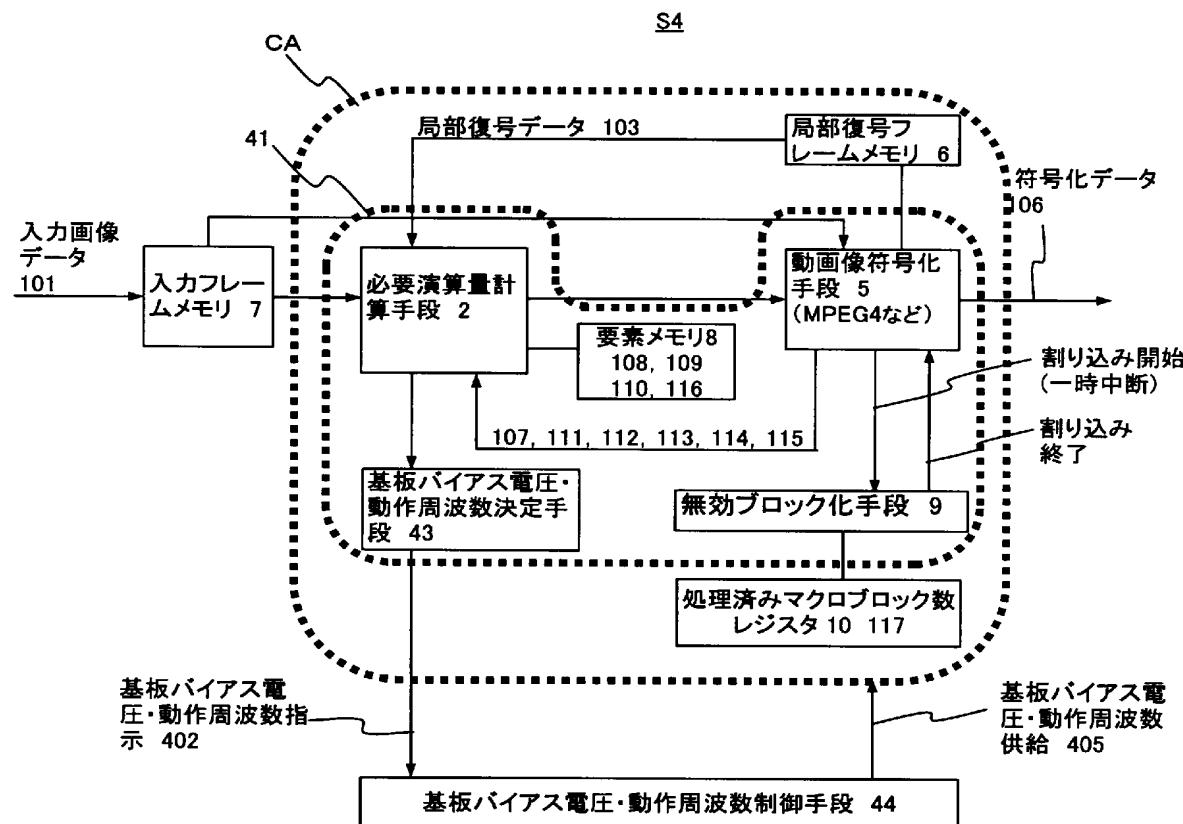
[図9]



[図10]



[図11]



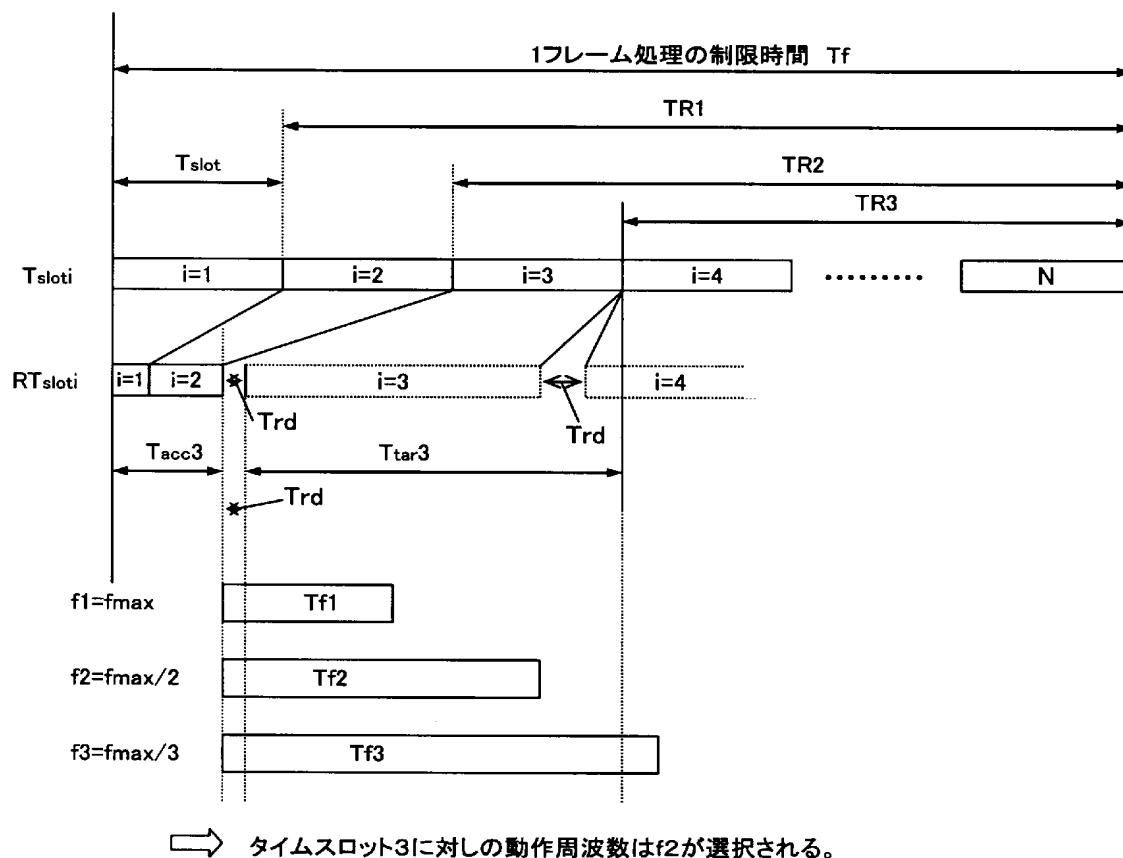
[図12]

動作周波数 (サイクル／秒)	n-チャネルMOSトランジスタの基板バイアス電圧 (Vbn)	p-チャネルMOSトランジスタの基板バイアス電圧 (Vbp)
f (1)	Vbn (1)	Vbp (1)
f (2) (>f (1))	Vbn (2)	Vbp (2)
f (3) (>f (2))	Vbn (3)	Vbp (3)
..
f (n) (>f (n-1))	Vbn (n)	Vbp (n)
..
f (r) (>f (r-1))	Vbn (r)	Vbp (r)

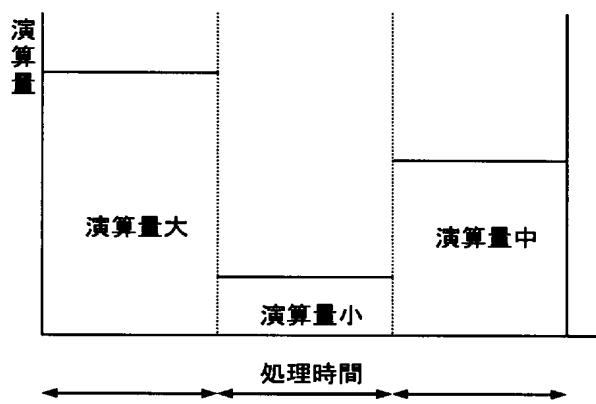
[図13]

動作周波数 (サイクル/秒)	動作電源電圧 (VDD)	n-チャネルMOSトランジスタの基板バイアス電圧 (V _{bn})	p-チャネルMOSトランジスタの基板バイアス電圧 (V _{bp})
f (1)=50	VDD(1)=0.5	V _{bn} (1) = -1.0	V _{bp} (1) = 1.5
f (2)=100	VDD(2)=0.6	V _{bn} (2) = -0.4	V _{bp} (2) = 1.0
f (3)=150	VDD(3)=0.8	V _{bn} (3) = 0	V _{bp} (3) = 0.8
f (4)=200	VDD(4)=0.9	V _{bn} (4) = 0.2	V _{bp} (4) = 0.7
f (5)=250	VDD(5)=1.0	V _{bn} (5) = 0.5	V _{bp} (5) = 0.5

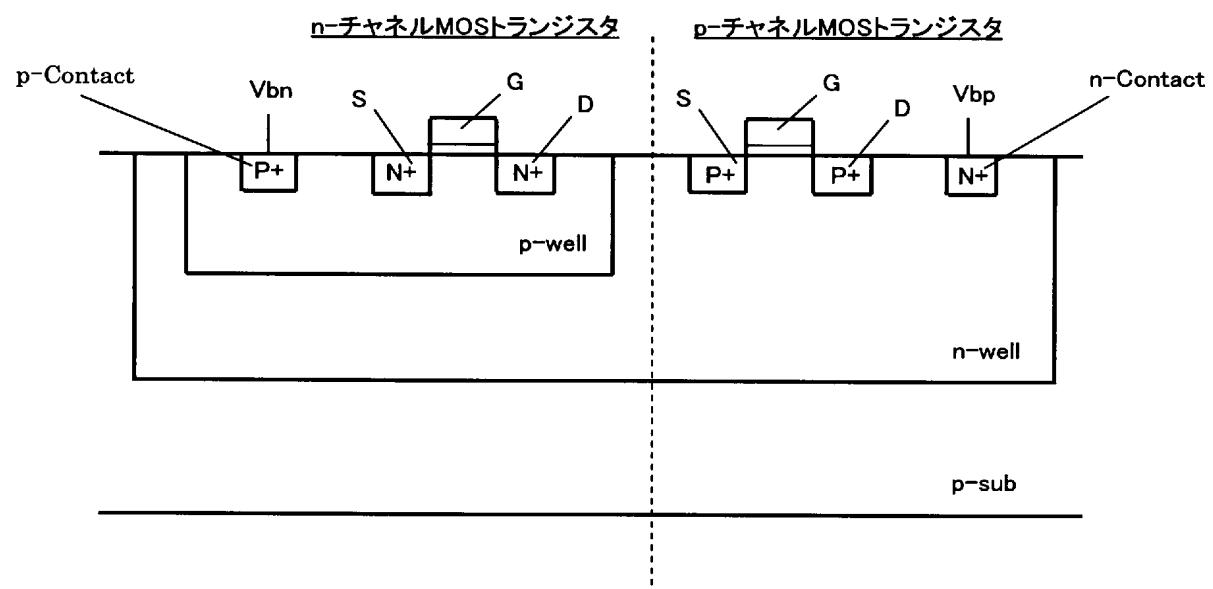
[図14]



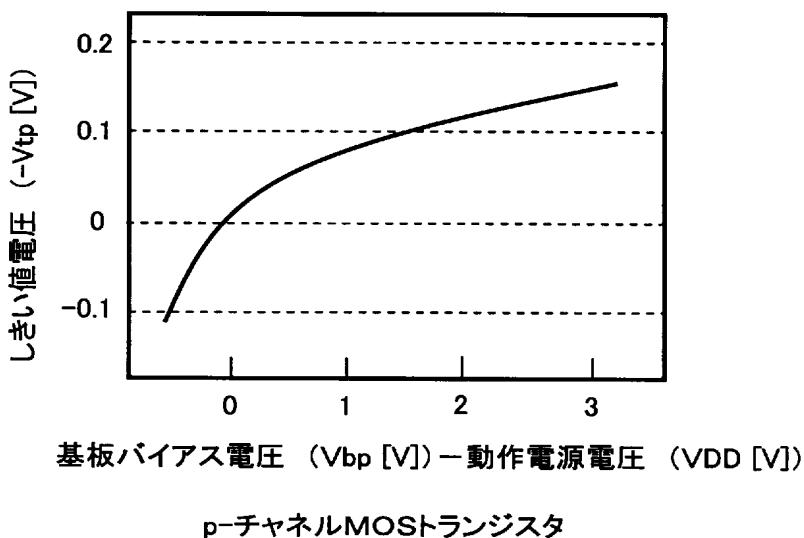
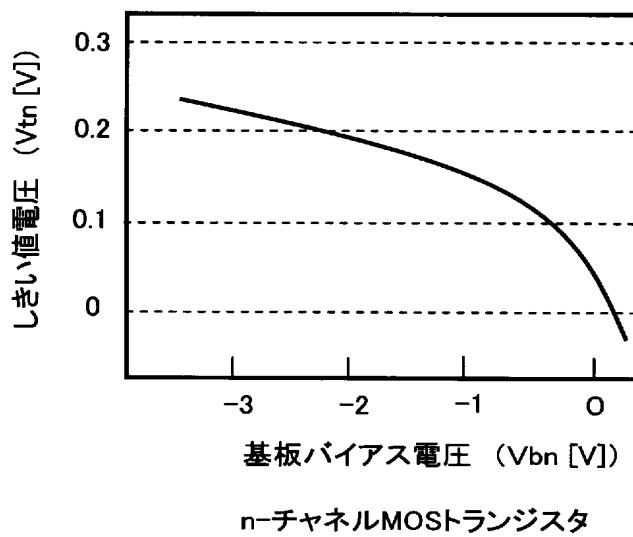
[図15]



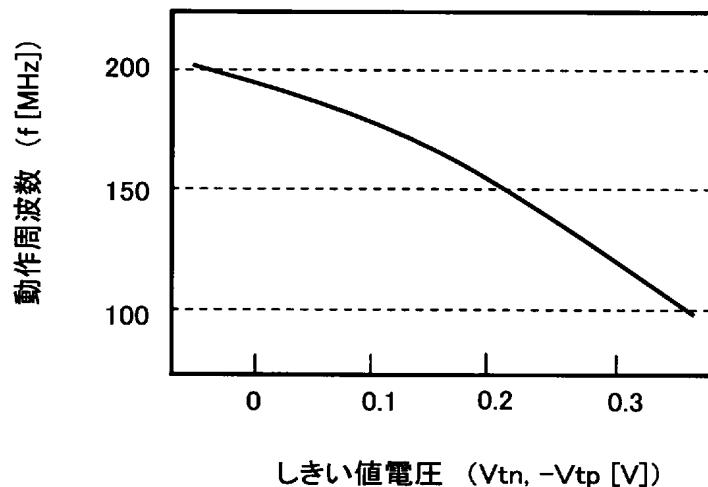
[図16]



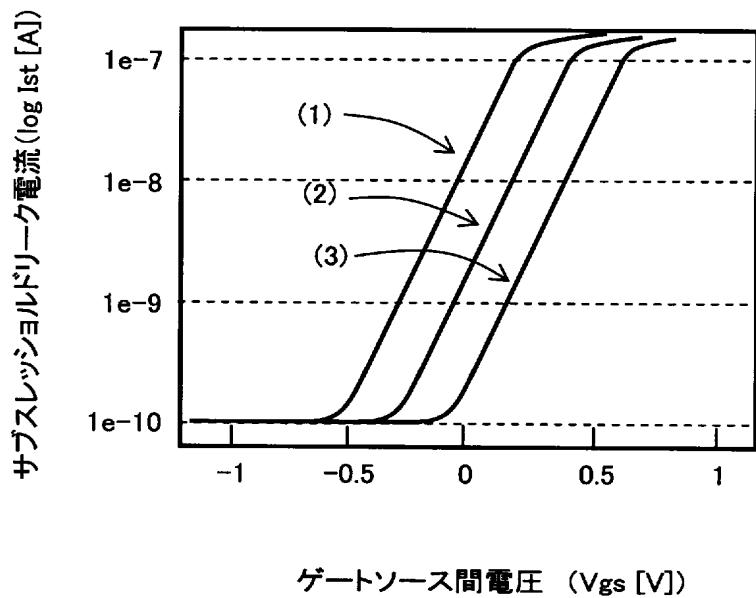
[図17]



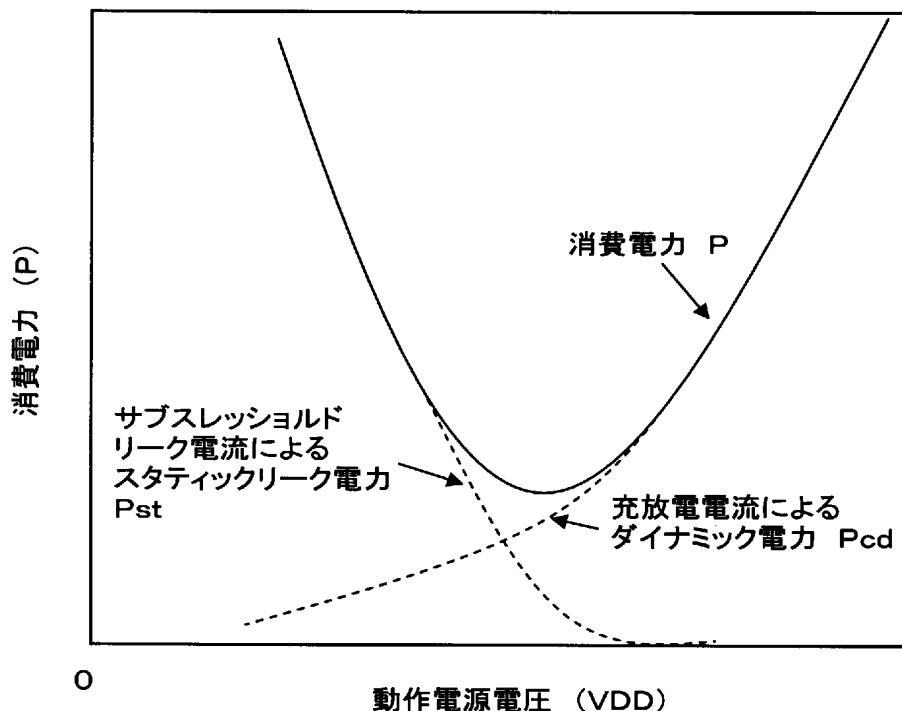
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/018312

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04N7/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N7/24-7/68, 1/41-1/419

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JOIS (JST)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Hiroshi KAWAGUCHI, Gang ZHANG, Seongsoo LEE, Takayasu SAKURAI, "An LSI for Vdd-Hopping and MPEG1 System Based on the Chip", IEEE International Symposium on Circuits and System 2001, Beikoku, IEEE, 2001 Nen 5 Gatsu, pages 918 to 921	1-4,14-17 5-13,18-26
X Y	Seongsoo LEE, Takayasu SAKURAI, "Run-time Voltage Hopping for Low-power Real-time Systems", Proc.Design Automation Conference, Beikoku, IEEE, 2000 Nen 6 Gatsu, pages 806 to 809	1-4,14-17 5-13,18-26

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
--	--

Date of the actual completion of the international search
27 April, 2005 (27.04.05)

Date of mailing of the international search report
17 May, 2005 (17.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2004/018312
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	James T. KAO, Masayuki MIYAZAKI, "A 175-mV Multiply-Accumulate Unit Using an Adaptive Supply Voltage and Body Bias Architecture", IEEE Journal of Solid-State Circuits, Vol.37, No.11, Beikoku, IEEE, 2002 Nen 11 Gatsu, pages 1545 to 1554	1-4,14-17 5-13,18-26
X Y	Koichi NOSE, Masayuki HIRABAYASHI, Hiroshi KAWAGUCHI, Seongsoo LEE, Takayasu SAKURAI, "VTH-Hopping Scheme to Reduce Subthreshold Leakage for Low-Power Processors", IEEE Joural of Solid-State Circuits, Vol.37, No.3, Beikoku, IEEE, 2002 Nen 3 Gatsu, pages 413 to 419	1-4,14-17 5-13,18-26
X Y	JP 2003-324735 A (Yugen Kaisha Kanazawa Daigaku TLO), 14 November, 2003 (14.11.03), All pages (Family: none)	1-4,14-17 5-13,18-26
X Y	Kentaro KAWAKAMI, Hideo OHIRA, Masayuki FUKAYAMA, Masahiko YOSHIMOTO, 'Feedforward Doteki Den'atsu Seigyo ni yoru MPEG4 Teishohi Denryokuka Algorithm', The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku ICD2002-57, Nippon, The Institute of Electronics, Information and Communication Engineers, 2002 Nen 8 Gatsu, pages 67 to 72	1-4,14-17 5-13,18-26
X Y	Kentaro KAWAKAMI, Hideo OHIRA, Miwako KANEMORI, Masayuki FUKAYAMA, Masahiko YOSHIMOTO, 'Feedforward-Gata Doteki Den'atsu Seigyo ni yoru MPEG4 Teishohi Denryokuka Algorithm', The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku ICD2003-30, Nippon, The Institute of Electronics, Information and Communication Engineers, 2003 Nen 5 Gatsu, pages 25 to 30	1-7,14-20 8-13,21-26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018312

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Yasuhiro MORITA, Kentaro KAWAKAMI, Miwako KANEMORI, Hideo OHIRA, Masayuki FUKAYAMA, Masahiko YOSHIMOTO, 'D-23 Feedforward Seigyo o Mochiita MPEG4 Teishohi Denryokuwa Algorithm (2) -2 Dankai Dosa Den'atsu/Shuhasu Seigyo Tekiyoji no Shohi Denryoku Sakugen Koka no Mitsumori-', Heisei 15 Nendo Institutes of Electrical and Information Engineers, Japan Hokuriku Shibu Rengo Taikai Koen Ronbunshu, Nippon, Heisei 15 Nendo Institutes of Electrical and Information Engineers, Japan Hokuriku Shibu Rengo taikai Jikko Iinkai Jimukyoku, 22 September, 2003 (22.09.03), page 192	1-26

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ H04N7/24

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ H04N7/24-7/68, 1/41-1/419

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JOIS (JST)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	Hiroshi KAWAGUCHI, Gang ZHANG, Seongsoo LEE, Takayasu SAKURAI, " An LSI for Vdd-Hopping and MPEG1 System Based on the Chip ", IEEE International Symposium on Circuits and System 2001, 米国, IEEE, 2001年 5月, pp. 918-921	1-4, 14-17 5-13, 18-26
X	Seongsoo LEE, Takayasu SAKURAI, " Run-time Voltage Hopping for Low-power Real-time Systems , Proc. Design Automation Conference, 米国, IEEE, 2000年 6月, pp. 806-809	1-4, 14-17 5-13, 18-26
Y		

■ C欄の続きにも文献が列挙されている。

■ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

27.04.2005

国際調査報告の発送日

17.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

菅原道晴

5P 8725

電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	James T. KAO, Masayuki MIYAZAKI, " A 175-mV Multiply-Accumulate Unit	1-4, 14-17
Y	Using an Adaptive Supply Voltage and Body Bias Architecture ", IEEE Journal of Solid-State Circuits, Vol. 37, No. 11, 米国, IEEE, 2002年11月, pp. 1545-1554	5-13, 18-26
X	Koichi NOSE, Masayuki HIRABAYASHI, Hiroshi KAWAGUCHI, Seongsoo LEE, Takayasu SAKURAI, " VTH-Hopping Scheme to Reduce Subthreshold Leakage for Low-Power Processors ", IEEE Journal of Solid-State Circuits, Vol. 37, No. 3, 米国, IEEE, 2002年 3月, pp. 413-419	1-4, 14-17 5-13, 18-26
X	J P 2003-324735 A (有限会社金沢大学ティ・エル・ オ一) 2003. 11. 14, 全ページ (ファミリーなし)	1-4, 14-17 5-13, 18-26
X	川上健太郎、大平英雄、深山正幸、吉本雅彦、「フィードフォワード 動的電圧制御によるMPEG4低消費電力化アルゴリズム」、電子情 報通信学会技術研究報告 ICD2002-57、日本、電子情報通信学会、2 002年8月、pp. 67-72	1-4, 14-17 5-13, 18-26
X	川上健太郎、大平英雄、金森美和子、深山正幸、吉本雅彦、「フィー ドフォワード型動的電圧制御によるMPEG4低消費電力化アルゴ リズム」、電子情報通信学会技術研究報告 ICD2003-30、日本、電子情 報通信学会、2003年5月、pp. 25-30	1-7, 14-20 8-13, 21-26
X	森田泰弘、川上健太郎、金森美和子、大平英雄、深山正幸、吉本雅 彦、「D-23 フィードフォワード制御を用いたMPEG4低消費 電力化アルゴリズム (2) - 2段階動作電圧／周波数制御的用事の 消費電力削減効果の見積もりー」、平成15年度電気関係学会北陸支 部連合大会講演論文集、日本、平成15年度電気関係学会北陸支 部連合大会実行委員会事務局、2003年9月22日、p. 192	1-26